



Nov. 21, 2019
宇宙史構成員会議
@ 筑波大学

SOI MOSFETでの 特殊環境下動作への挑戦

高エネルギー加速器研究機構
先端加速器推進部
倉知 郁生



Motivation

新たに現象を理解するには？

今まで見えなかった・検知出来なかったものを見ること

見えていたもの

常温で、地球環境下で、自然光で

見えていなかったもの

広い温度範囲 極低温～高温
低エネルギー～高エネルギー
低圧～高圧、放射線環境

各種材料によりSense(電気信号変換)は可能

微弱信号が多く、電気信号をin-situで増幅できる電子回路が必要

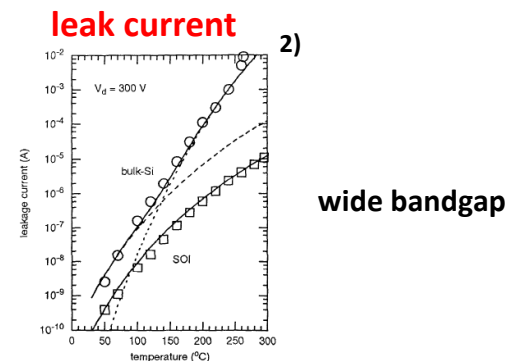
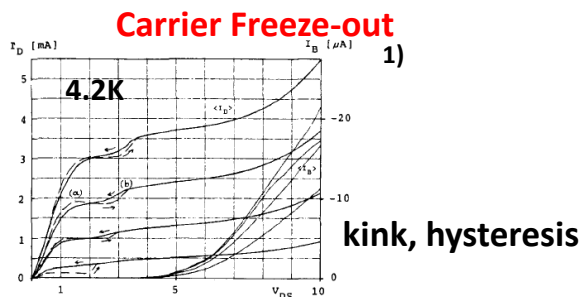
どんな環境下でも動作できるトランジスタを作ることが、現象を見るという事に対して重要な鍵である。

広い温度領域・放射線環境下に注目

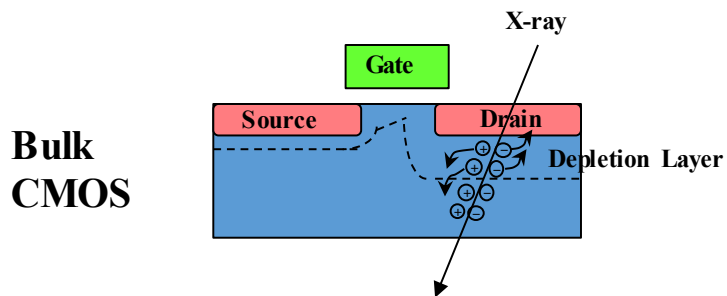
Bulk-CMOS トランジスタの動作限界

一般に電子回路で用いられているBulk-CMOSトランジスタでは？

動作温度範囲



耐放射線性



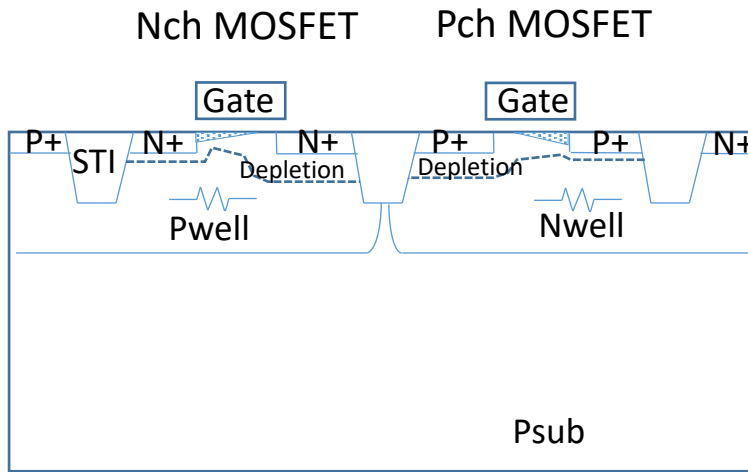
Weak in bit error (soft error) and single event upset (SEU) because of depletion layer.

1) B. Diericks et al., IEEE T-ED, 35(7), pp. 1120-1125, 1988.

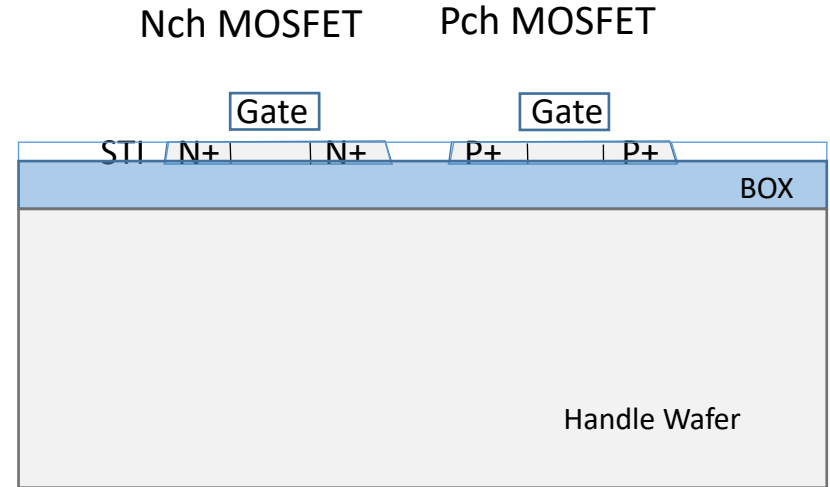
2) E. Arnold et al., IEEE ISPSD Proc., pp. 93-96, 1996.

Bulk-MOSFETとSOI-MOSFET

一般に使われているBulk-MOSFETは？



SOI-MOSFET



動作を阻害しているものは？

極低温：濃度低いWell
高温：pn接合

SEU：空乏層



N+/P+拡散層の下に酸化膜を作れば解決!?

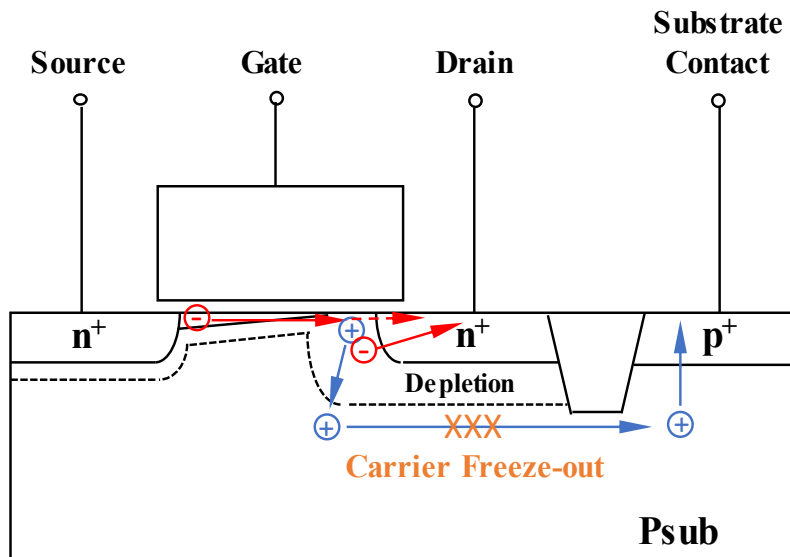
SOIで広い環境下動作MOSFET実現!!

でもそれほど人生甘くない。。

極低温動作：Bulk-MOSFETとSOI-MOSFET

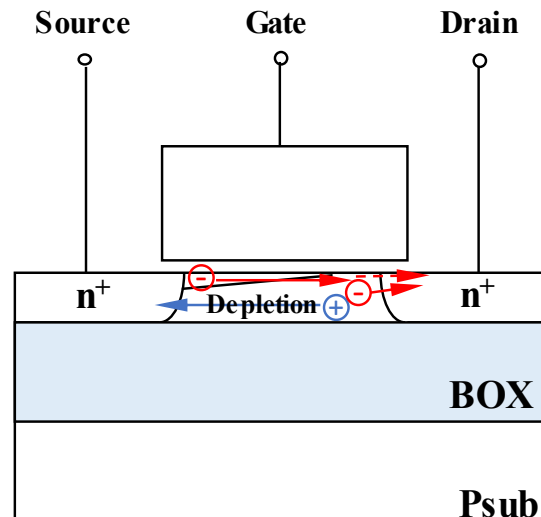
N-channel MOSFETの場合

Bulk-MOSFET



1. ドレインアバランシェで発生したホールは電界によりPsubへドリフト
2. Carrier Freeze-outによってホールがPsub中に蓄積
3. Psubに正バイアスがかかる
4. 部分的V_tの低下によりKinkが発生

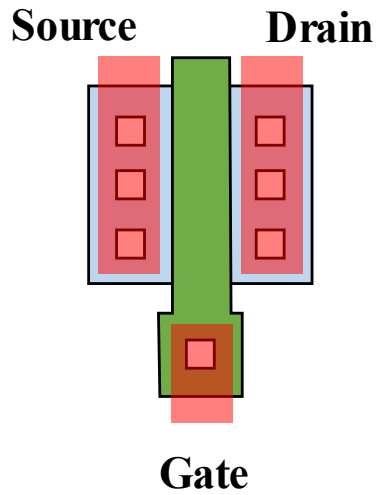
SOI-MOSFET



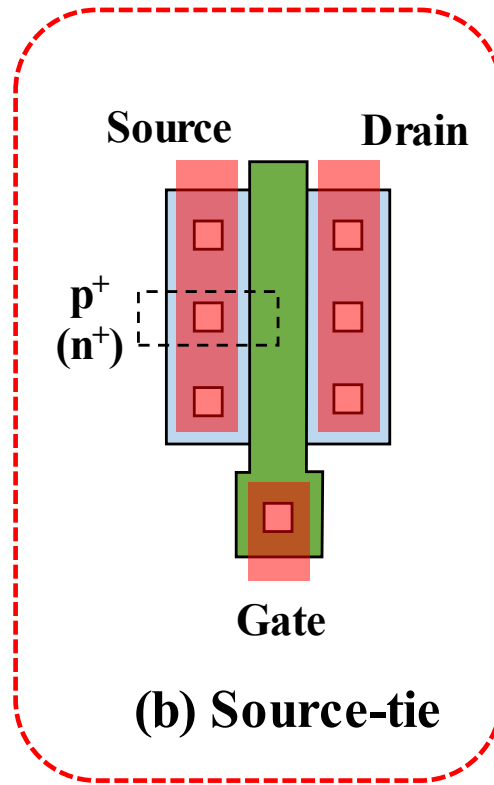
1. Si薄いため、チャネル部は表面以外完全空乏
2. ドレインアバランシェで発生したホールは空乏層電界によりソースへ
3. 空乏層中はドリフトによるため、極低温でも流れる
4. 部分的V_tの低下は発生せず、正常動作

とは言っても、Source部p→n+ではポテンシャルバリアがあるので、ボディーのコンタクトを。

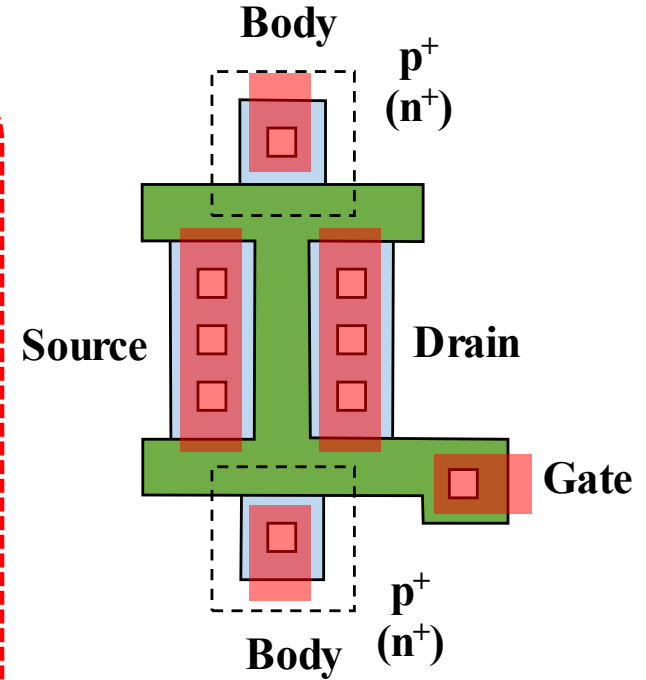
SOI-MOSFET ボディーコンタクト



(a) Body-floating



(b) Source-tie

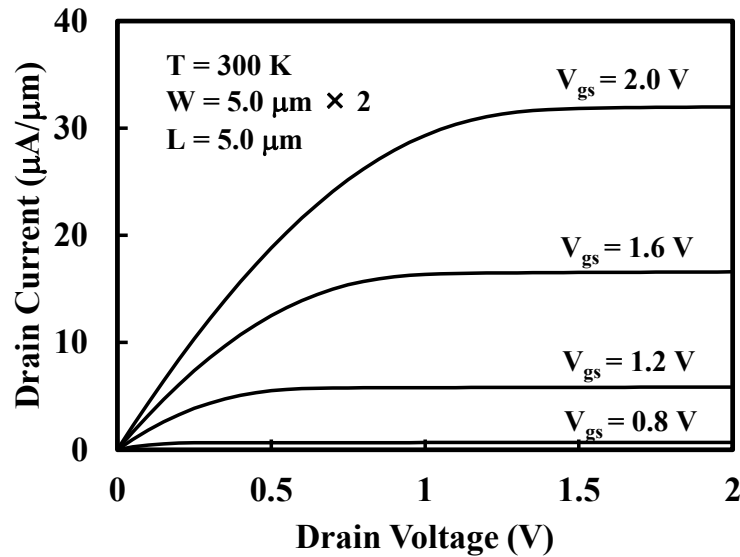


(c) Body-tie

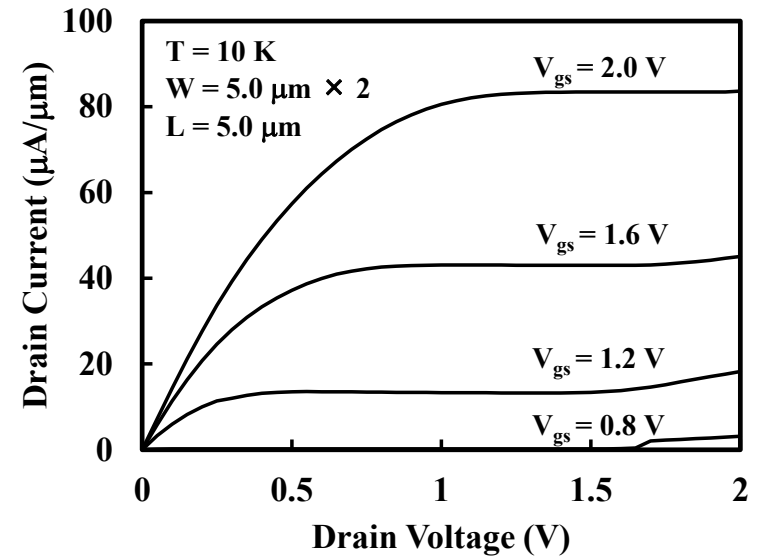
面積増加の少ないSource-tieを選択

SOI-MOSFET 常温と極低温動作

常温



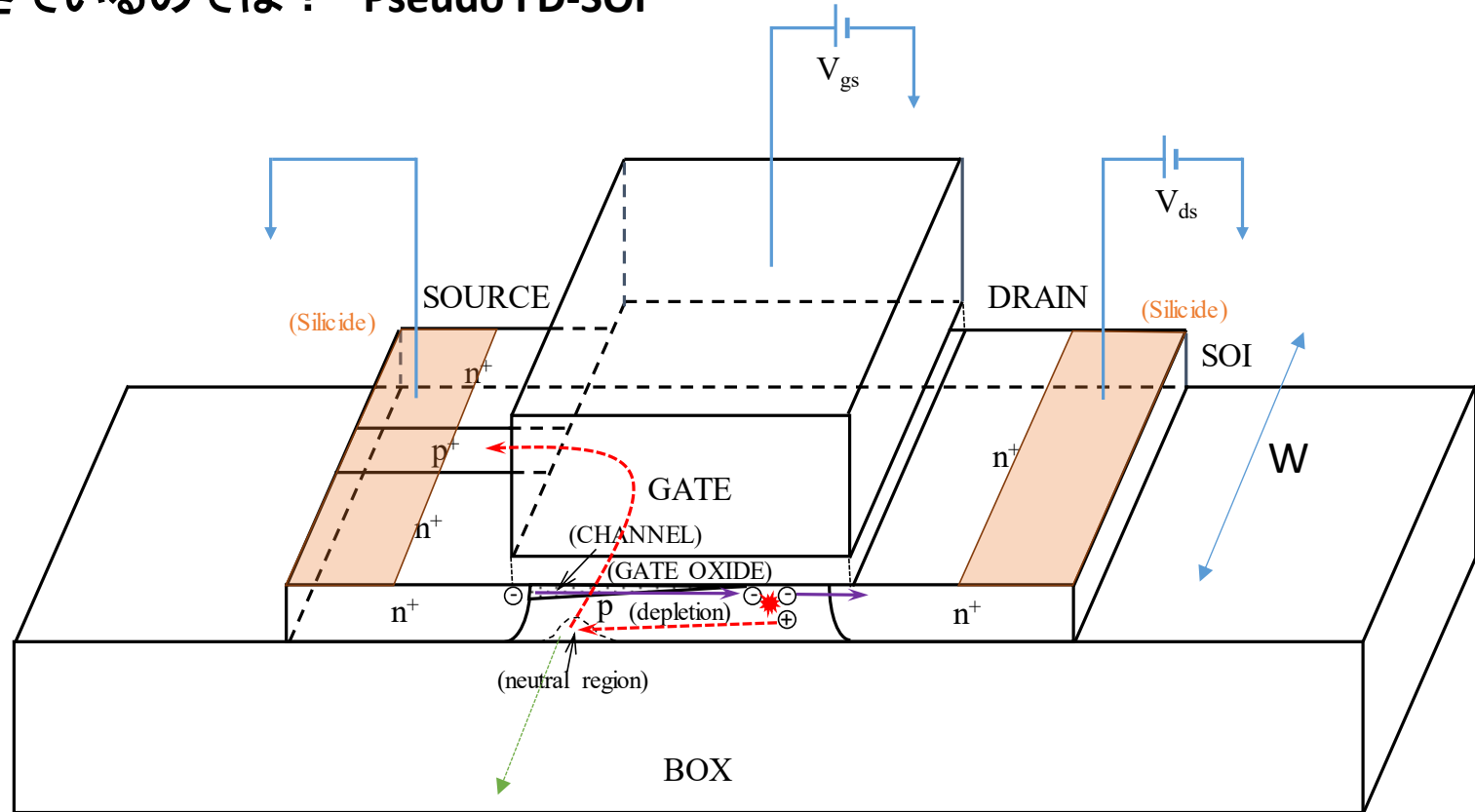
極低温



常温ではKINK発生はないが、極低温ではKINK発生がある。
FD-SOIと言っていたのに、Source-tieまでしたのにどうして？

Source-tie SOI-MOSFET

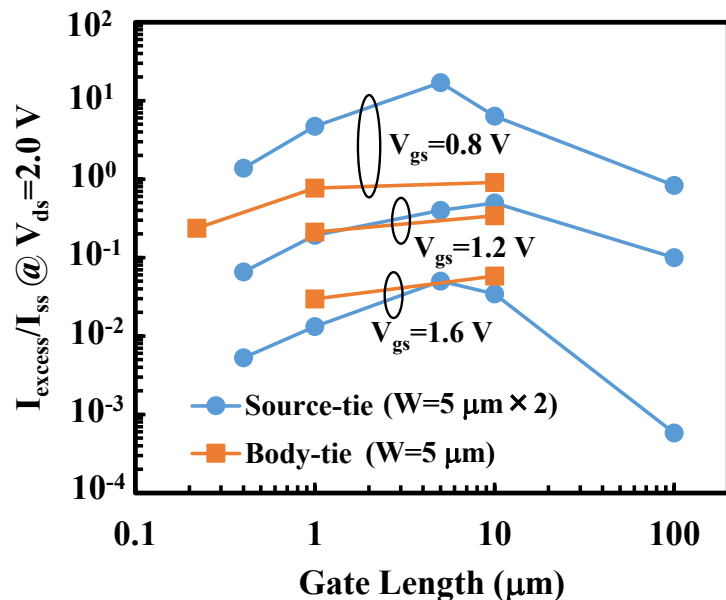
実はソース側の一部で(特にゲート電圧低い方で) **中性領域** ができるのでは? Pseudo FD-SOI



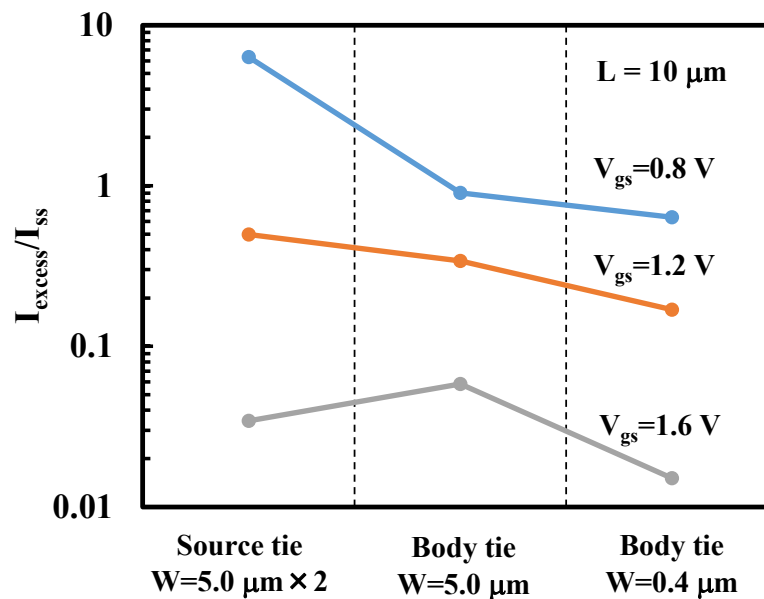
直近でこちらに抜く (body-tie)
なるべくすぐに(Wを短く)

Kinkの抑制

Source-tie ⇒ Body-tie



W縮小
5.0 ⇒ 0.4 μm



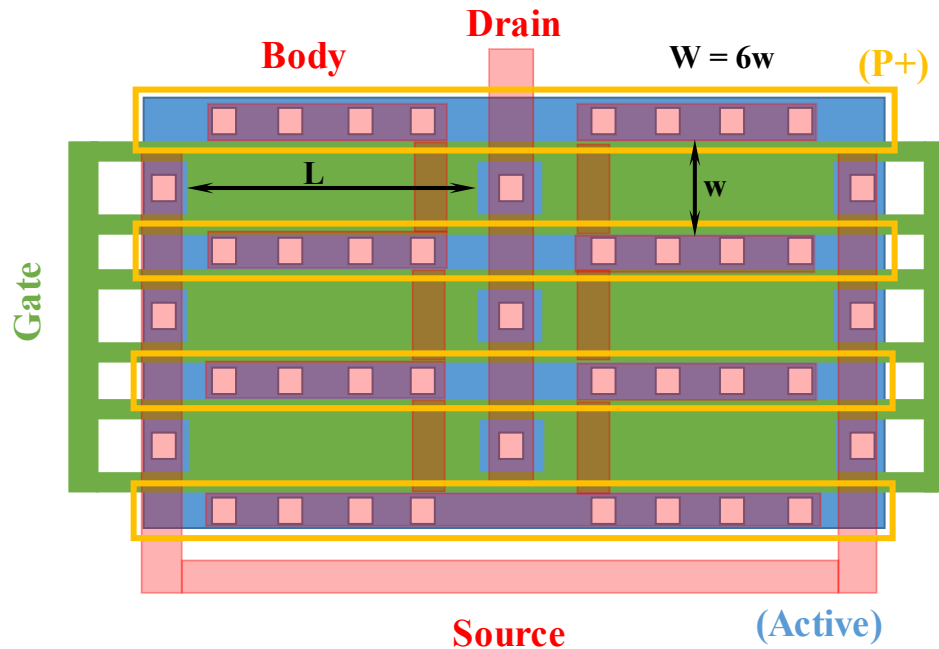
縦軸はKink発生の度合いを示すパラメータで大きいほどKinkが発生している。

Body-tieと**W縮小**がKink抑制の鍵
(このプロセスでの、完全なFD-SOIなら対策いらぬか?)

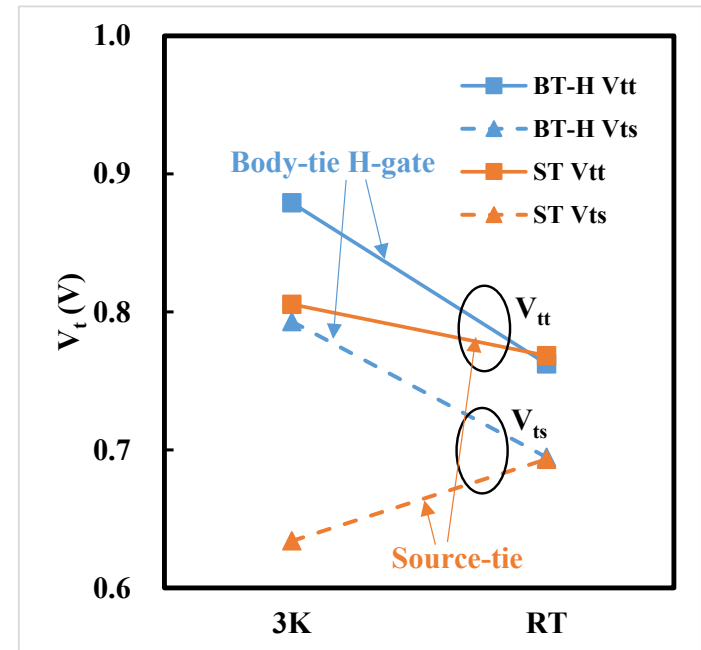
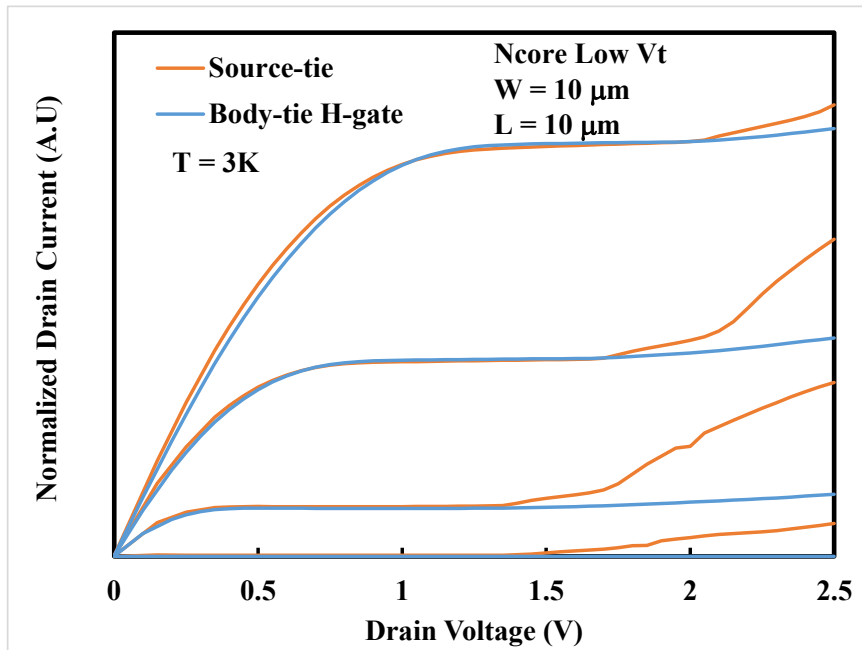
提案するSOI-MOSFET

Body-tieとW縮小

大きいW対応のため、MOSFETを並列に配置
パターンの縮小化も取り入れ。



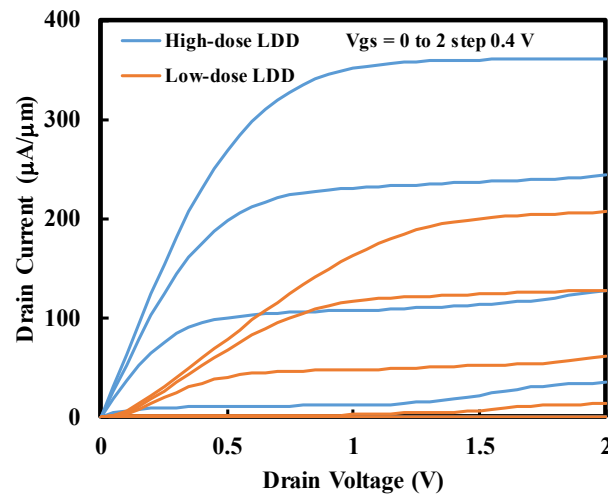
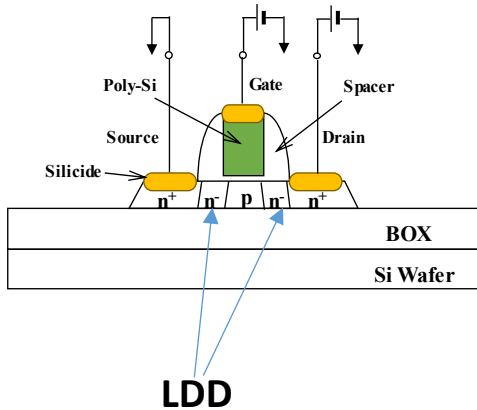
極低温での効果の確認



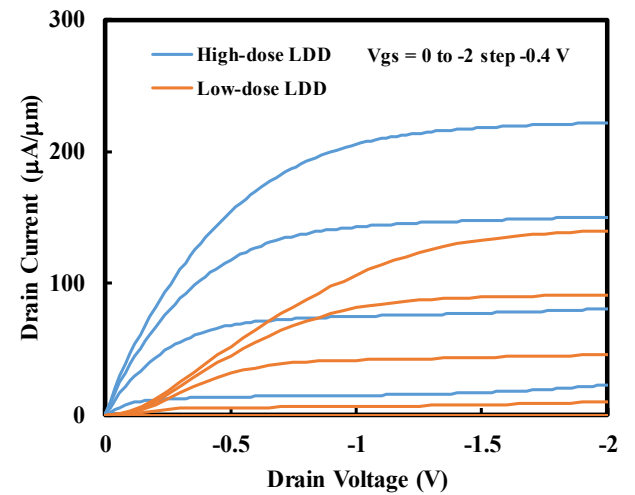
これで極低温でも正常動作できるSOI-MOSFETを作ることができた

他にも改善が必要だった

電界緩和のためにソース・ドレイン部に低濃度領域(LDD領域、Lightly Doped Drain)が存在、LDD部でのCarrier Freeze-outが問題に。ドレイン電圧低いところで抵抗大。



(a) N-channel MOSFET

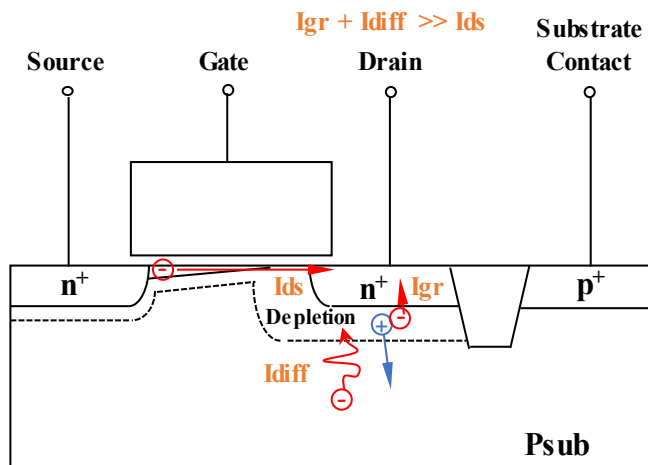


(b) P-channel MOSFET

LDD高濃度化により通常特性に

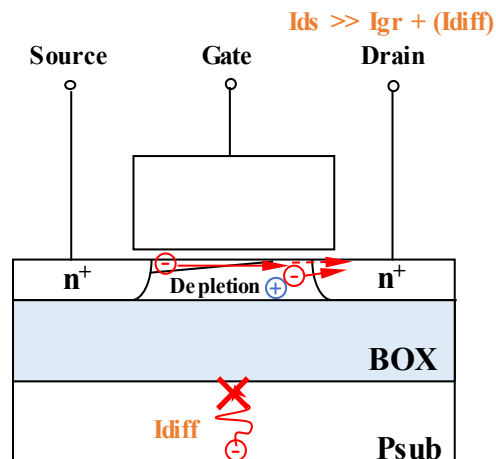
高温動作：Bulk-MOSFETとSOI-MOSFET

Bulk-MOSFET



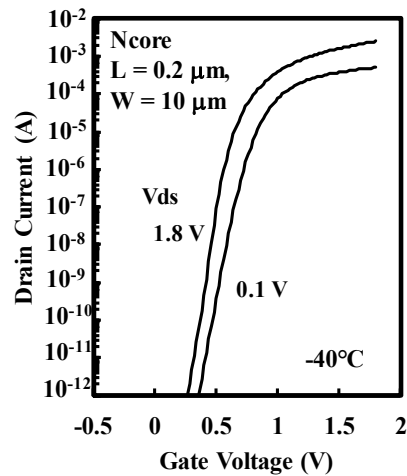
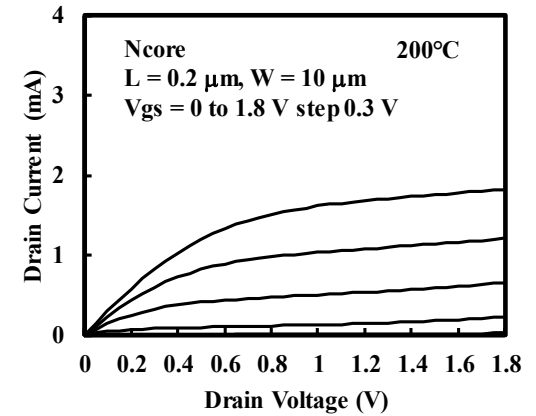
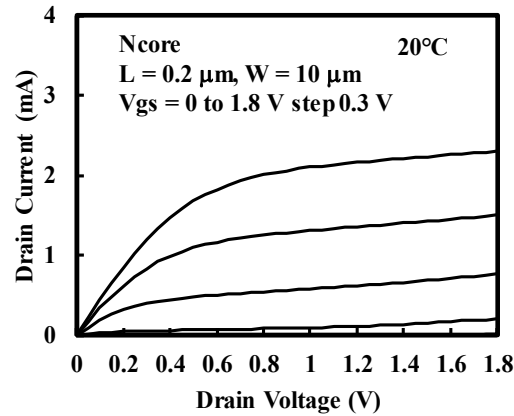
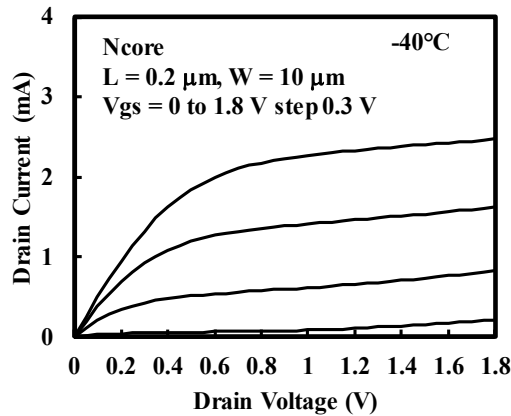
高温側で特にE_aが大きい拡散電流が増加、I_{ds}を上回りトランジスタ動作不良となる。

SOI-MOSFET

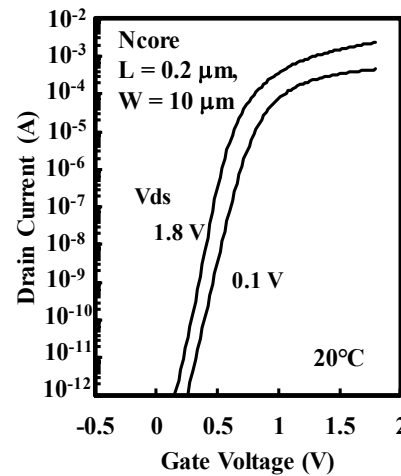


拡散電流はBOXに阻止され流れず、空乏層領域も小さいためG-R電流も少なく、高温でもI_{ds}が検知できる。⇒高温でもトランジスタ動作する。

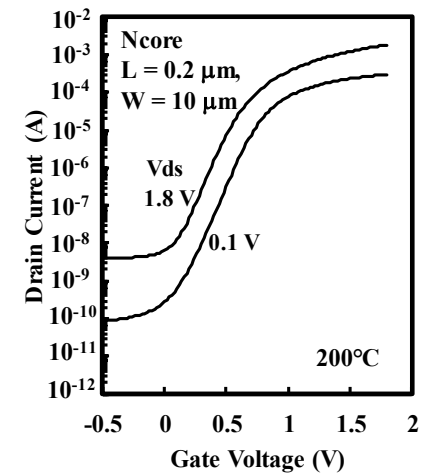
SOI-MOSFETの温度特性



(a) -40°C



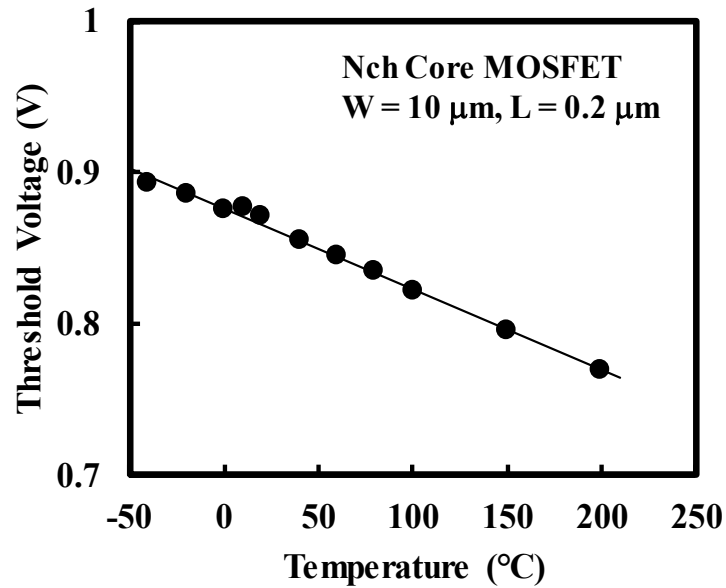
(b) 20°C



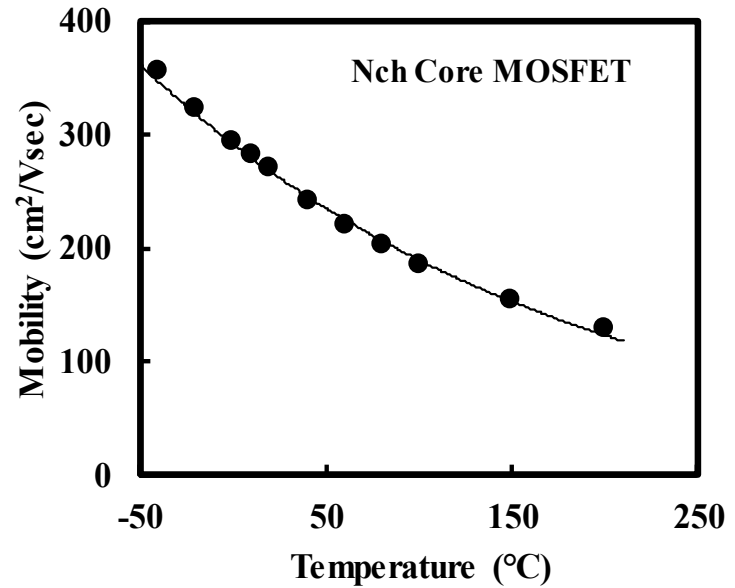
(c) 200°C

200 °C(測定器系の最高温度)でもON/OFF比5桁以上

V_tと移動度の温度特性



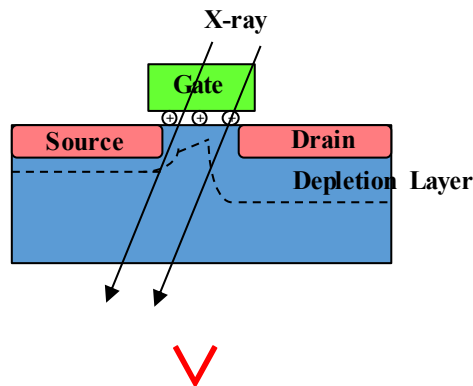
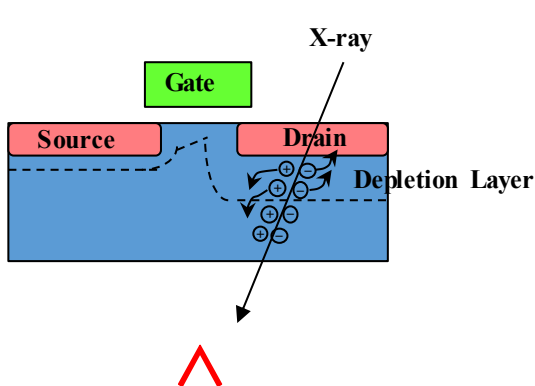
(a) Threshold Voltage



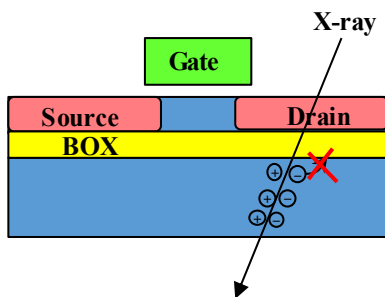
(b) Mobility

放射線耐性：Bulk-MOSFETとSOI-MOSFET

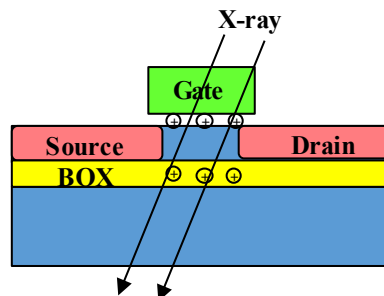
Bulk CMOS



FD-SOI CMOS



Single Event Upset (SEU)



Total Ionizing Dose (TID)

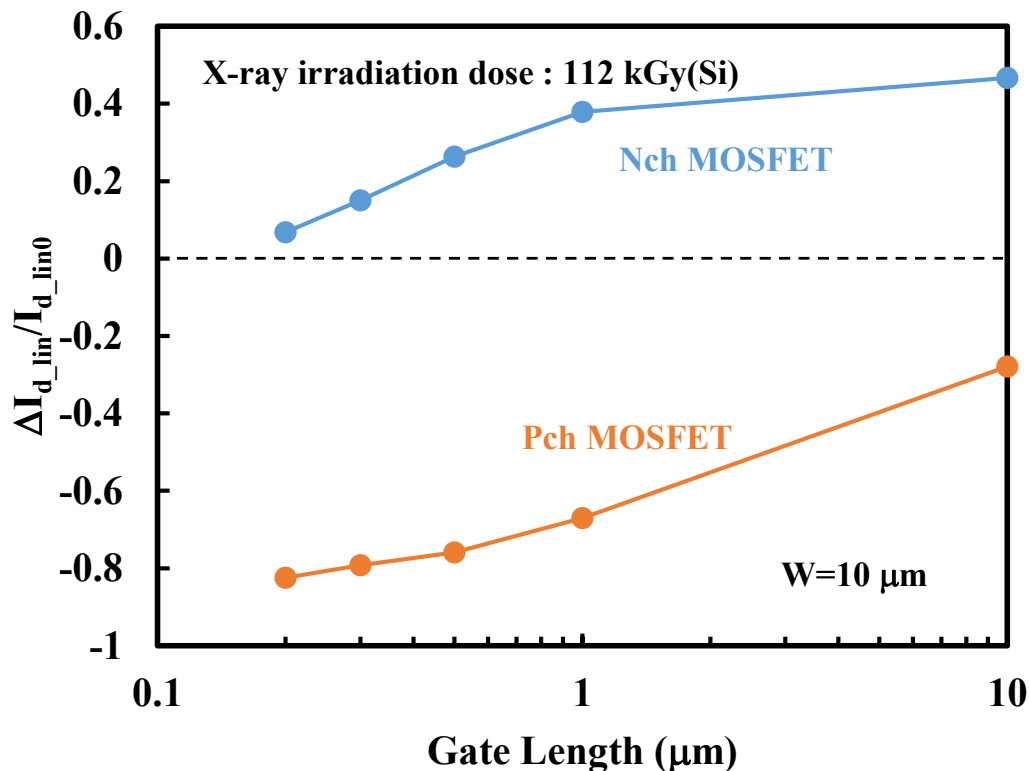
SEU耐性を保ちつつも、Bulk CMOS並みのTID耐性を持たせれば、究極の放射線耐性MOSFETとなる!!

BOXチャージを見えなくすればよい。

⇒後ほど議論。

その前に、BOXより上のMOSFETのTID改善を説明。

放射線照射による特性変動のゲート長依存

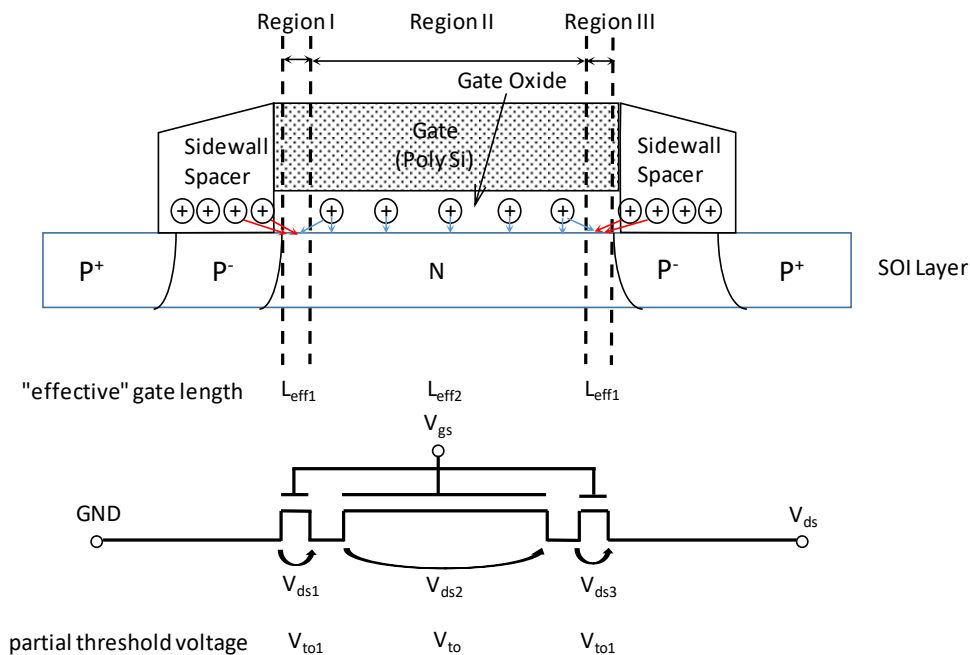


放射線(X線)はウエハ面に均一に照射されている。

⇒特性変動率はゲート長依存を持たないはず。

ゲート長依存があるという事は、特にゲートエッジ部で何かがあるということ。
原因を見つけ、対策をとれば全体に耐放射線性が向上するはず。

Pch SOI-MOSFETの場合



厚い酸化膜であるサイドウォール Spacer に正電荷が発生すると考えた。この正電荷がゲートエッジのチャンネルに影響し、局所的 V_t を変動させた。

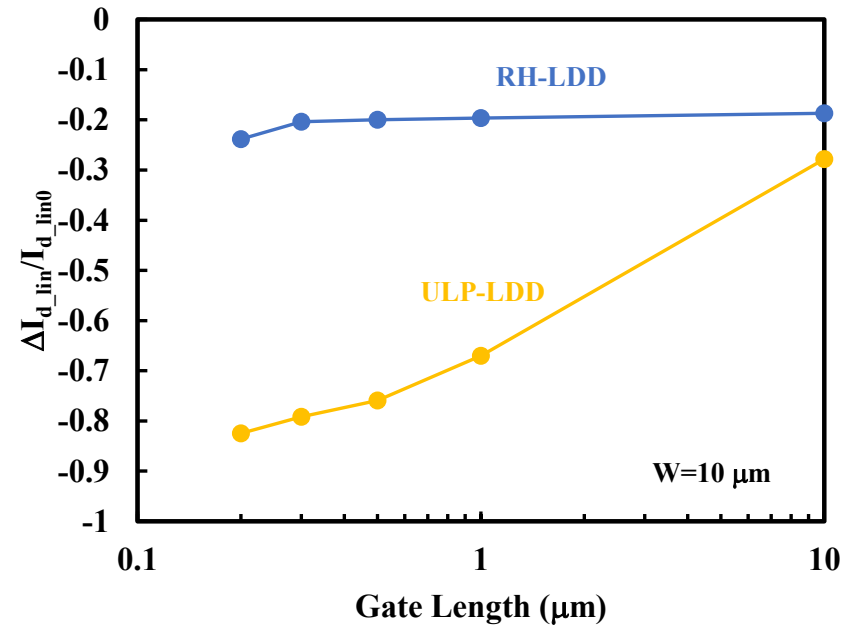
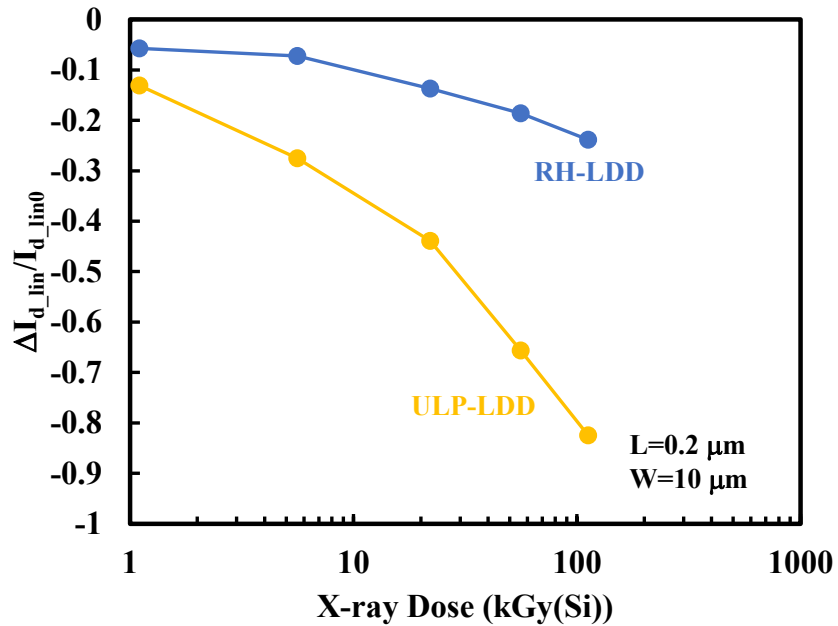


LDD 濃度を上げてゲートエッジ部を LDD でカバーしてあげればこの効果は低減する。

I. Kurachi et al., IEEE Trans. Electron Devices, vol. 62, pp. 2371-2376, 2015.

Pch LDDによる放射線耐性改善

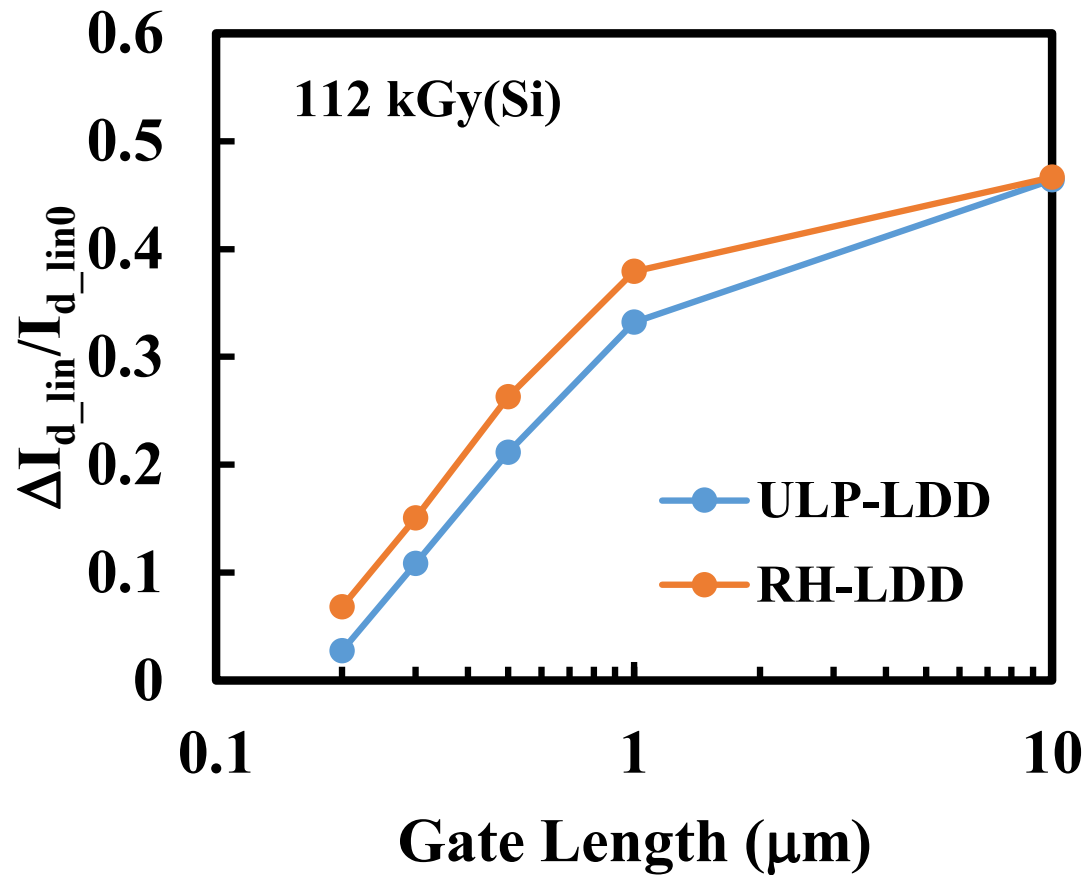
ULP-LDD (Ultralow Power LDD) : relatively low LDD dose to reduce off current
RH-LDD (Radiation Hard LDD) : 6 times higher dose of ULP-LDD



大幅な改善ができた !!

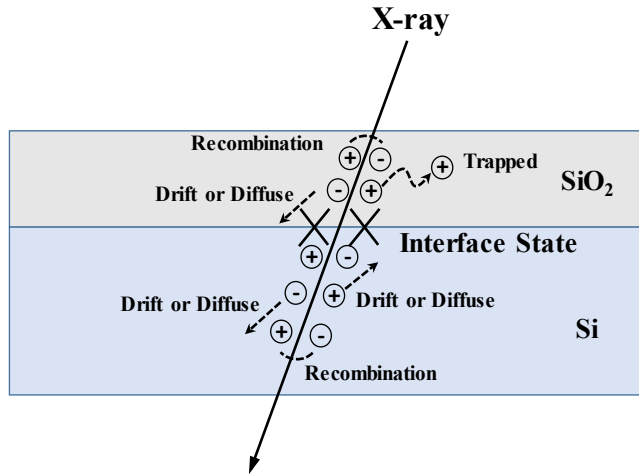
I. Kurachi et al., IEEE Trans. Electron Devices, vol. 63, pp. 2293-2298, 2016.

Nch LDDによる放射線耐性改善

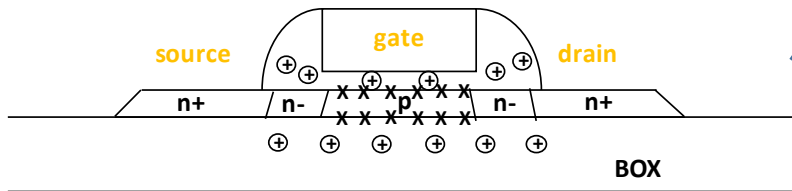


若干であるが、ゲート長依存はLDD変更により低減できた。

バックゲートバイアスによるTID改善

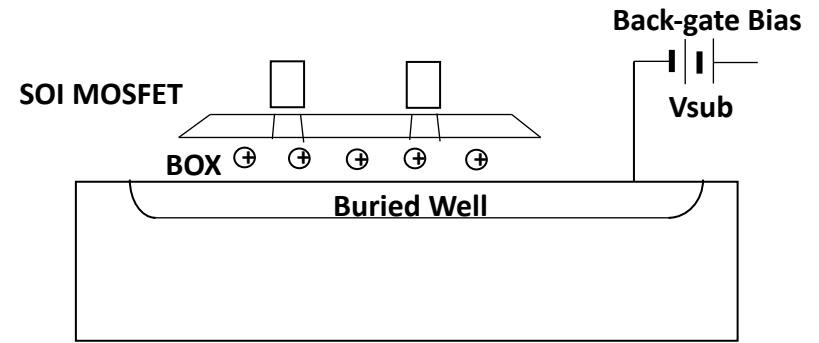


結局は酸化膜中の正電荷の発生と界面準位の発生

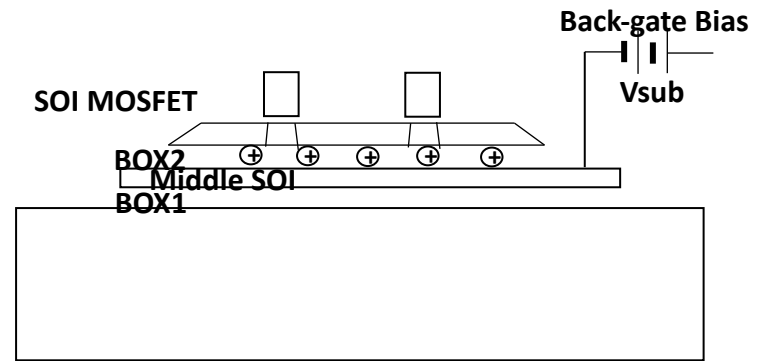


Bulk-MOSFETとの違いはBOXに発生した正電荷の影響があること。
BOXの正電荷を見えなくすればよい。

対策の一つはバックゲートに電圧をかけてBOXの正電荷をコンペントする。



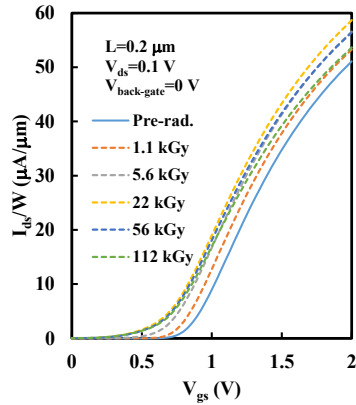
Single SOI



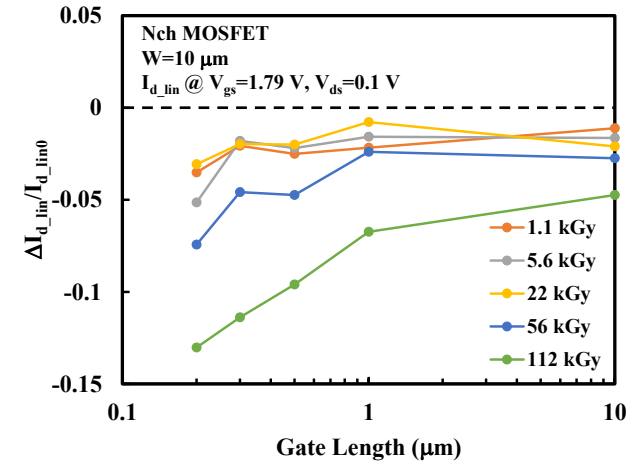
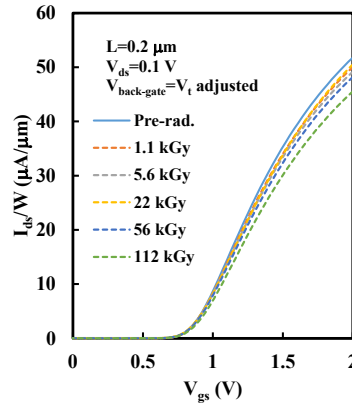
Double SOI

Nch MOSFETのバックゲートバイアスでの改善

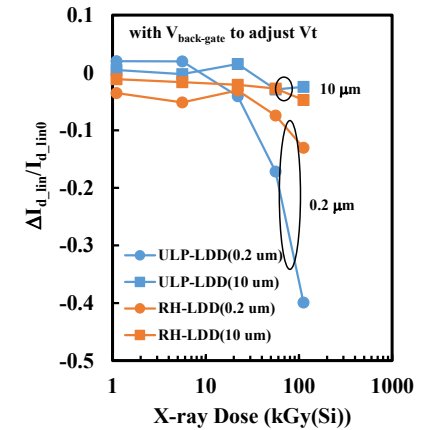
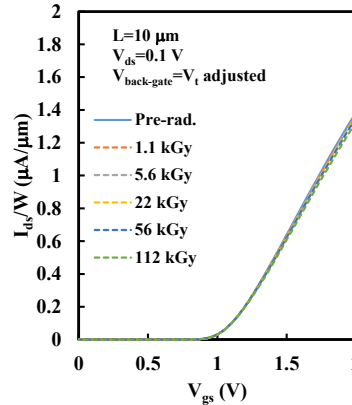
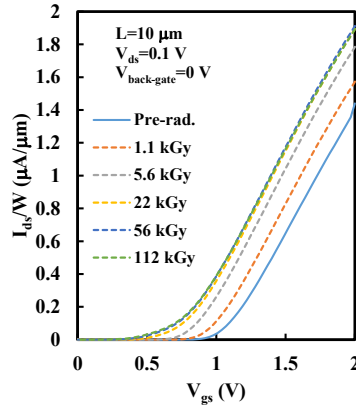
L=0.2 μm



Vt
adjustment
by applying
Vback-gate

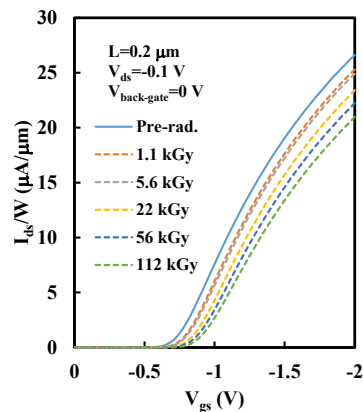


L=10 μm

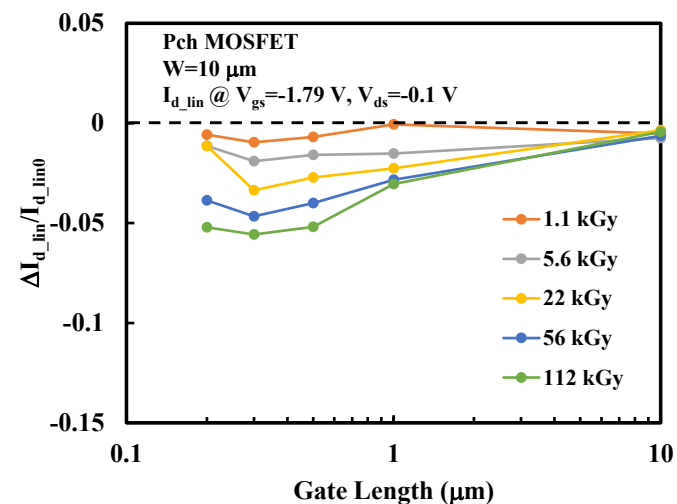
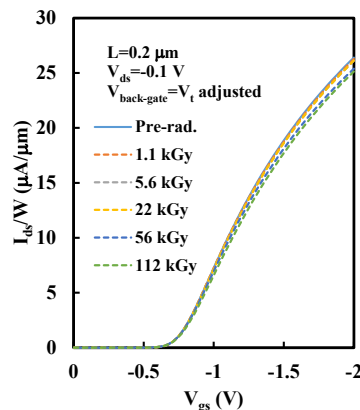


Pch MOSFETのバックゲートバイアスでの改善

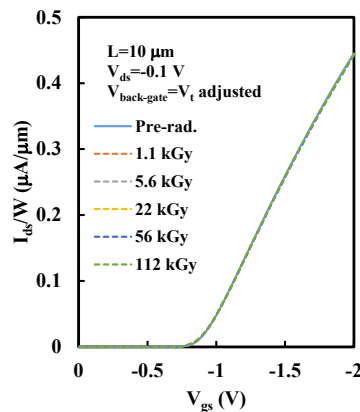
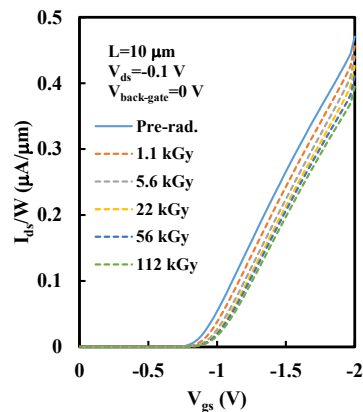
L=0.2 μm



Vt adjustment by applying Vback-gate

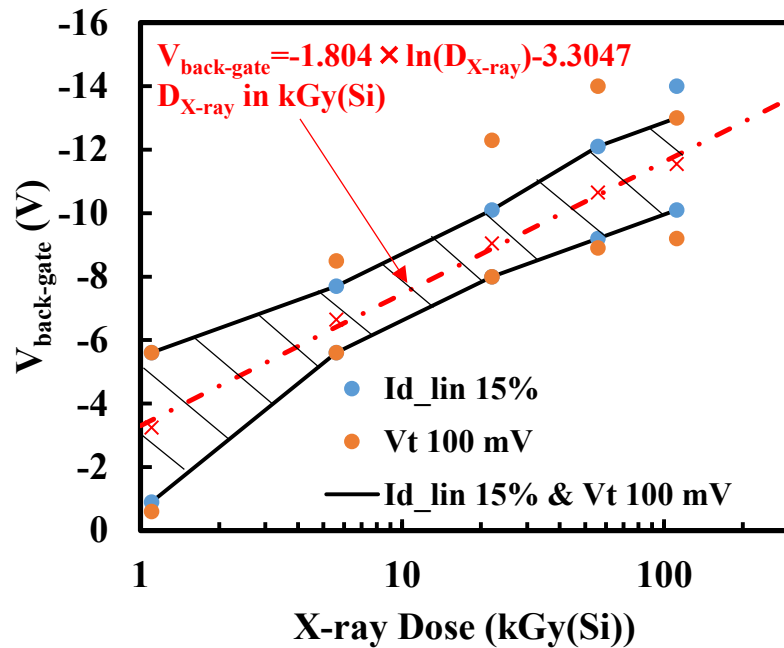


L=10 μm



バックゲートバイアスウィンド

Nch & Pch MOSFET
L=0.2 to 10 μm



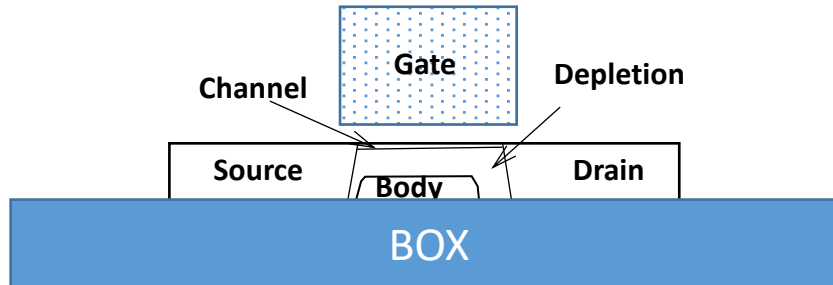
バックゲートに電圧を印加することで、100 kGyまでドレイン電流変動を15%以内、 V_t 変動を100 mV以内に抑えることが可能である。ただし、照射量に対してバックゲートに加える電圧を調整する必要がある。



これは大変なので、別の方法はないか？

PD化によるTID改善

PD+Body contactでも見えなくできる。



After 100 kGy(Si) irradiation, $L = 0.2$ to $1.0 \mu\text{m}$ ($W = 5.0 \mu\text{m}$)

Parameter		FD-Mode	PD-Mode
Ncore	$ \Delta V_t $	350 mV	50 mV
	$ \Delta I_{dt}/I_{dt0} $	45%	6%
Pcore	$ \Delta V_t $	170 mV	80 mV
	$ \Delta I_{dt}/I_{dt0} $	20%	11%

まとめ

- ✓ 特殊環境(温度範囲・放射線環境)で動作できるMOSFETの検討
- ✓ 通常Bulk-MOSFET、正常動作温度範囲30K-150°C、SEUに弱い
- ✓ 30K以下で動作するSOI-MOSFETの開発
 - ボディーコンタクト見直しによるKinkの抑制
 - LDD変更でのId-Vd特性の改善
- ✓ 150°C以上で動作するSOI-MOSFET
 - 動作の確認
- ✓ SEUに強く、TIDにも強いSOI-MOSFETの開発
 - LDDでのゲート長依存の改善
 - バックゲートバイアスでの改善
 - PD化による改善

SOI-MOSFETは構造的な特徴から、いろいろな環境での動作可能性有。
この特性の有効活用で見えなかったものを見ることに貢献していきたい。