

2016 1/19 CiRfSE workshop @ Univ. of Tsukuba

SOI極低温増幅器一体型STJ検出器

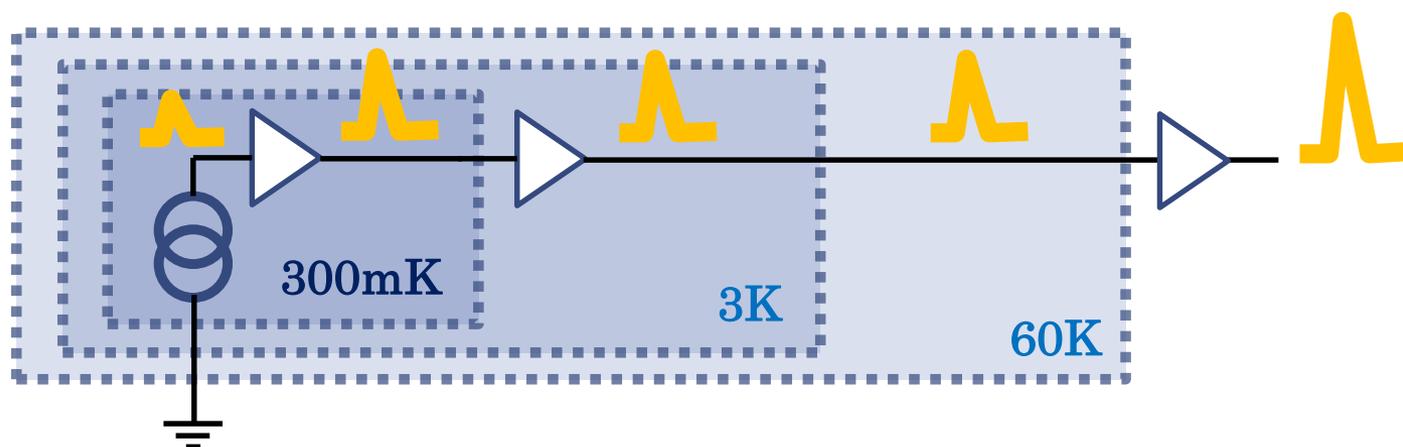
SOI-STJ4 評価

筑波大学 素粒子実験研究室
M2 先崎 蓮

極低温増幅器の導入

崩壊光探索のためSTJ検出器開発を行っているが、
遠赤外光1光子検出には至っていない

→ 冷凍機内(3K以下)の、検出器すぐそばに前置増幅器を設置し信号増幅



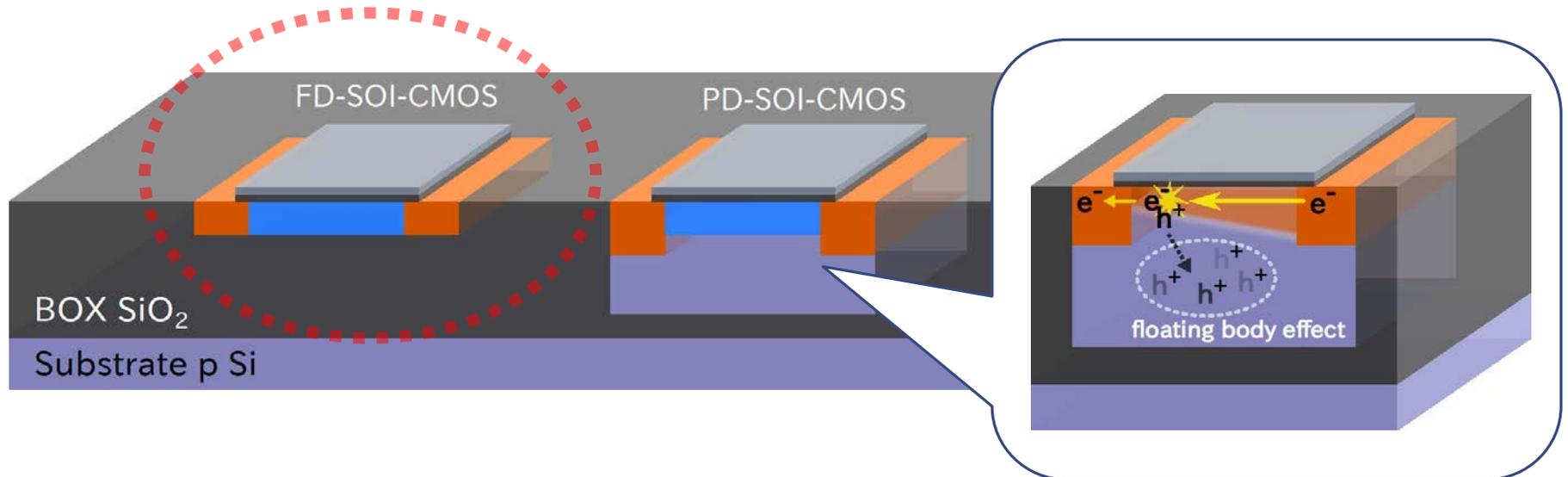
極低温増幅器に対する要求

- 3K以下で動作
- STJ検出器の信号を増幅可(電圧読出しの場合、信号幅はほとんどSTJのRCで決まる)
- 冷凍機容量を駆動可能
- 低消費電力(冷凍機の冷却能力: $100\mu\text{W}$ @300mK, 0.7W @4.2K)

FD-SOI-MOSFET

極低温でも動作可能なトランジスタ

Fully Depleted - Silicon On Insulator MOSFET



□ SiO₂絶縁膜上にMOSFETを形成

→ 寄生容量が小さい

→ 漏れ電流が小さく、低消費電力

□ チャンネル層が薄く、全空乏化

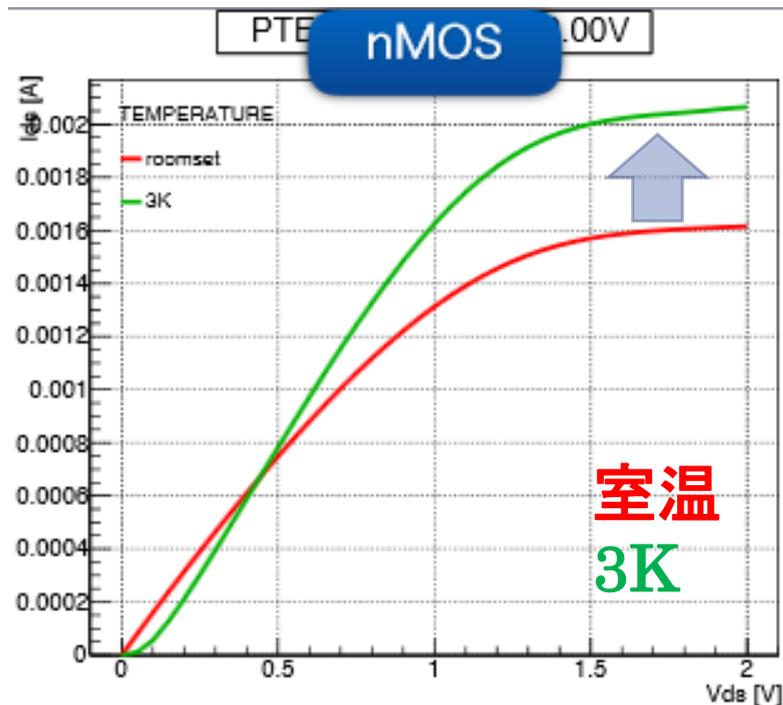
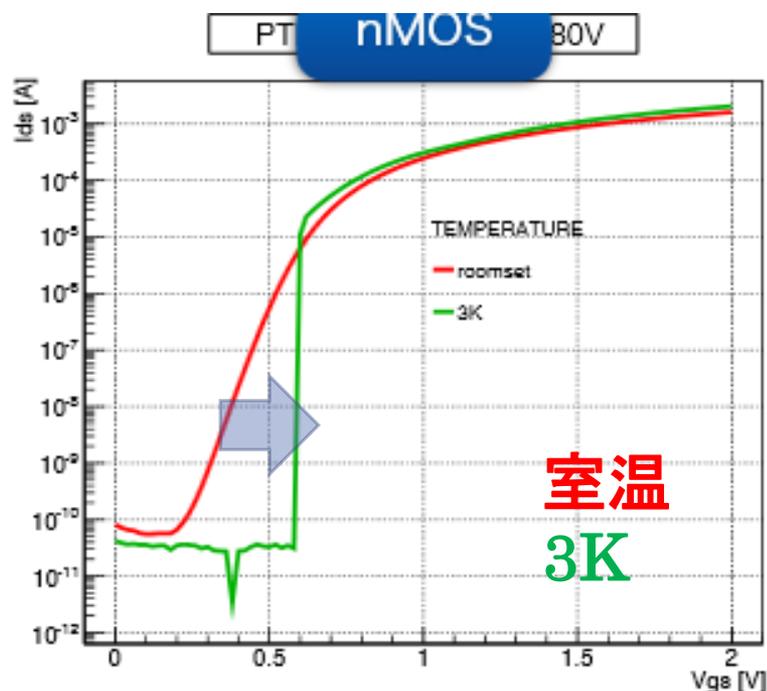
→ キャリアが低温下で浮遊層に溜まる
浮遊帯効果を抑制

→ 3K以下でも動作

極低温でのFD-SOI-MOSFETのふるまい

FD-SOI-MOSFET: 極低温では特性が変化する

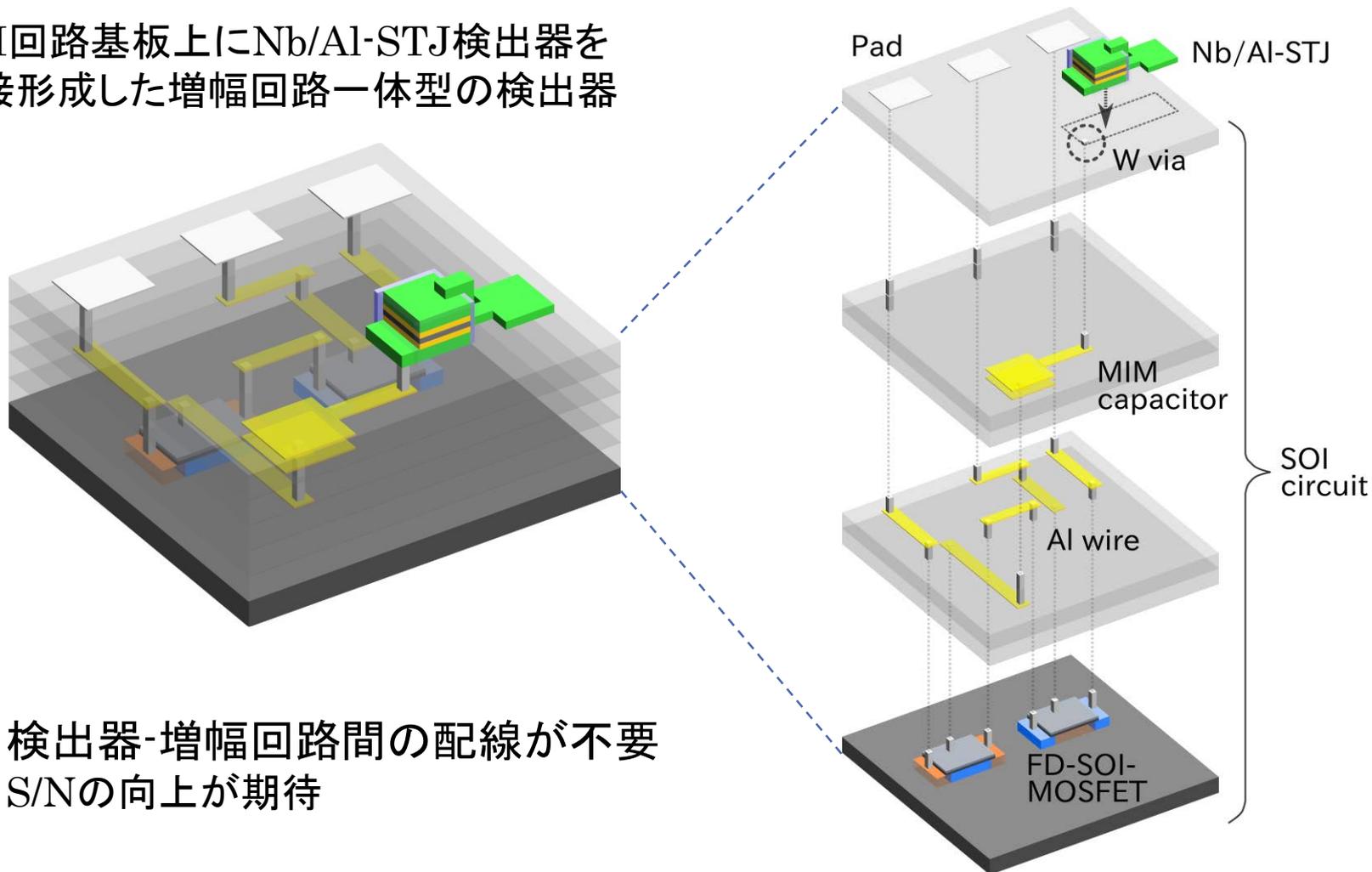
- 閾値電圧の上昇
- 移動度上昇による電流値の増加



→ 性能の劣化はなく、特性変化を考慮すれば極低温でも十分使用できる

SOI増幅回路一体型STJ検出器(SOI-STJ)

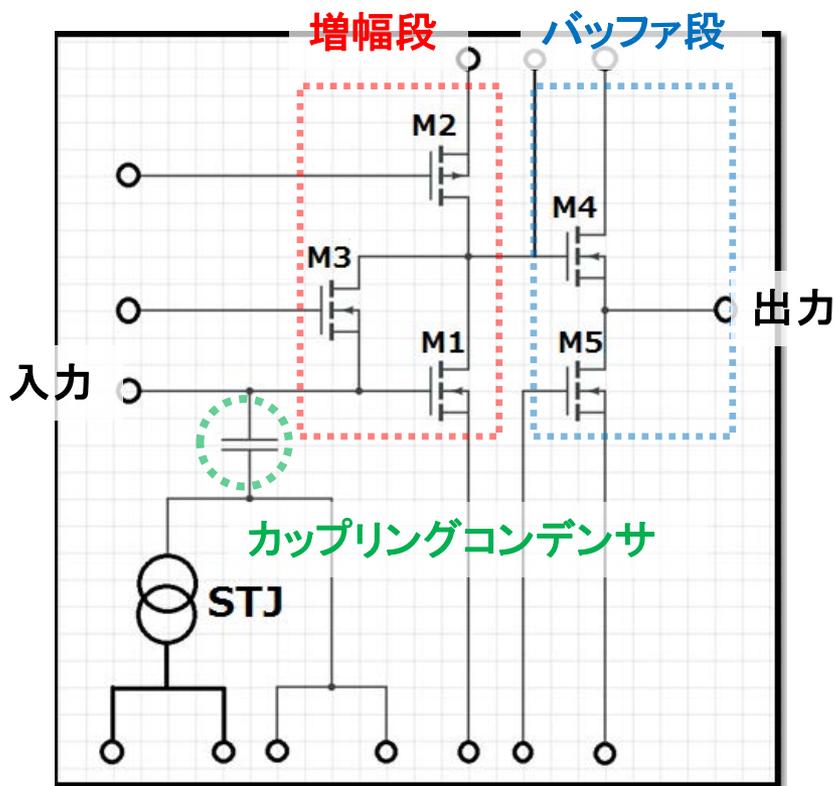
SOI回路基板上にNb/Al-STJ検出器を直接形成した増幅回路一体型の検出器



- 検出器-増幅回路間の配線が不要
- S/Nの向上が期待

SOI-STJ 増幅回路開発の現状

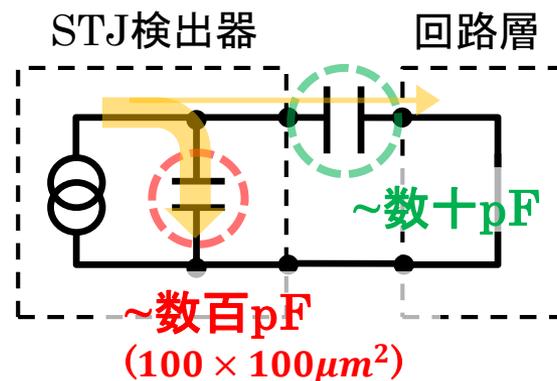
SOI-STJ3



これまでの回路のデザイン

- ❑ 電流源負荷のソース接地増幅段
→ 高い増幅率
- ❑ 後段にバッファ段
→ 出カインピーダンスを下げる
→ 高い出力容量(冷凍機配線)でも駆動可
- ❑ 検出器-回路間はAC接続
→ それぞれ独立にバイアスを印加することが可能

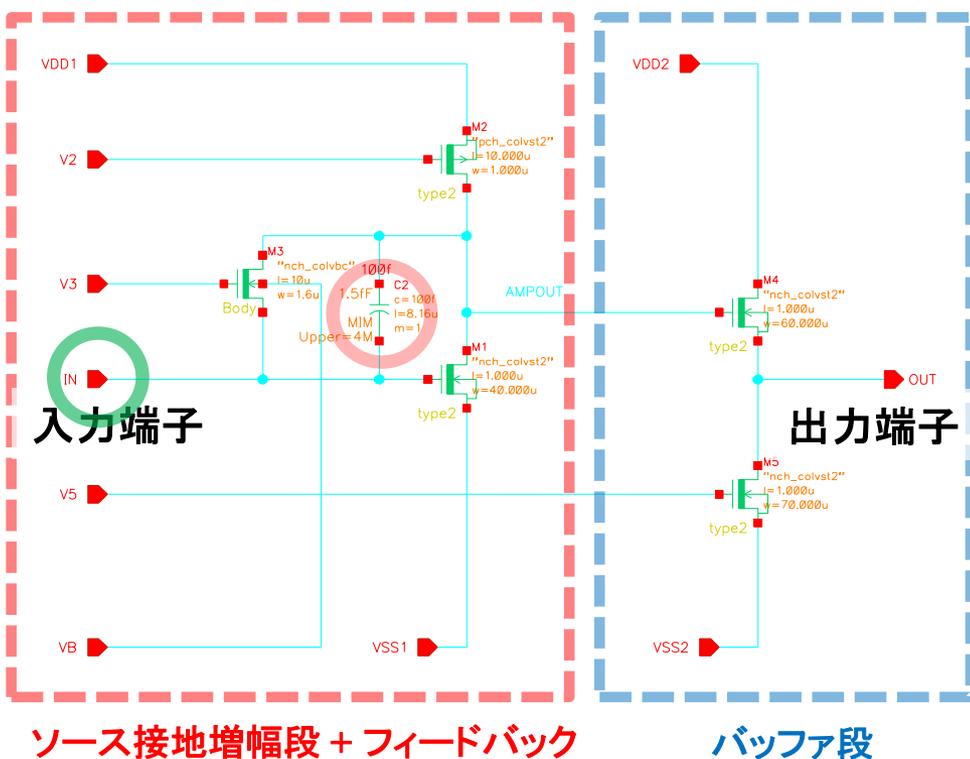
➡ 検出器容量を考慮すると信号が回路側へ流れない



新しい回路デザイン

前回回路の問題点を踏まえ、新たに回路を設計した

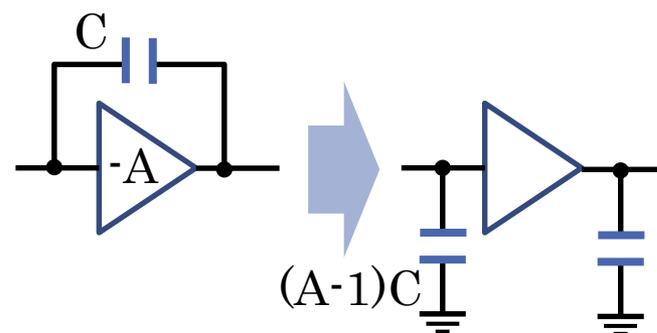
SOI-STJ4



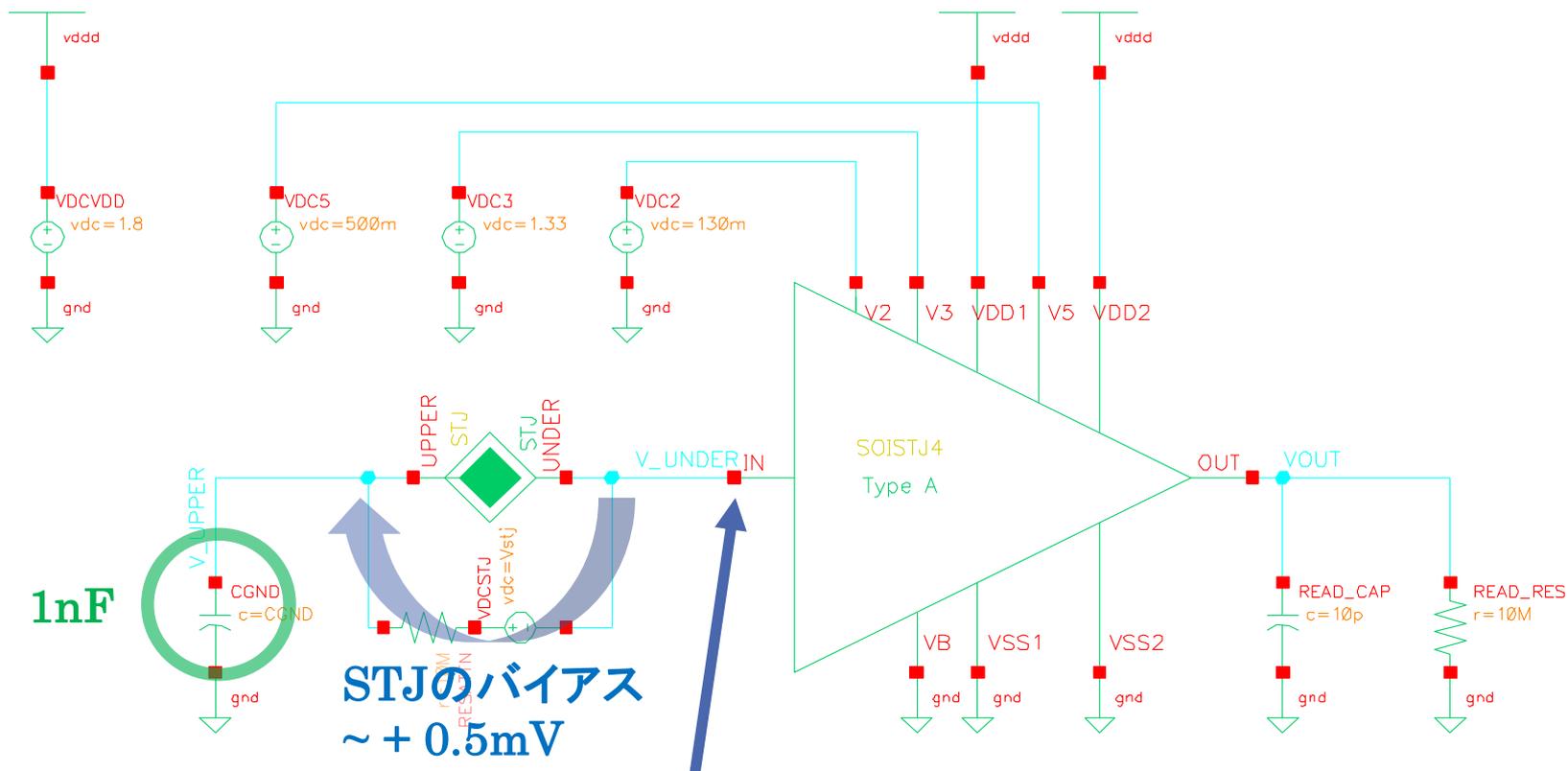
変更点

- カップリングコンデンサを排除
→ 外付けのコンデンサで対処
- キャパシタンスのフィードバック
→ 回路側のインピーダンスを下げる

ミラー効果



光応答のシミュレーション

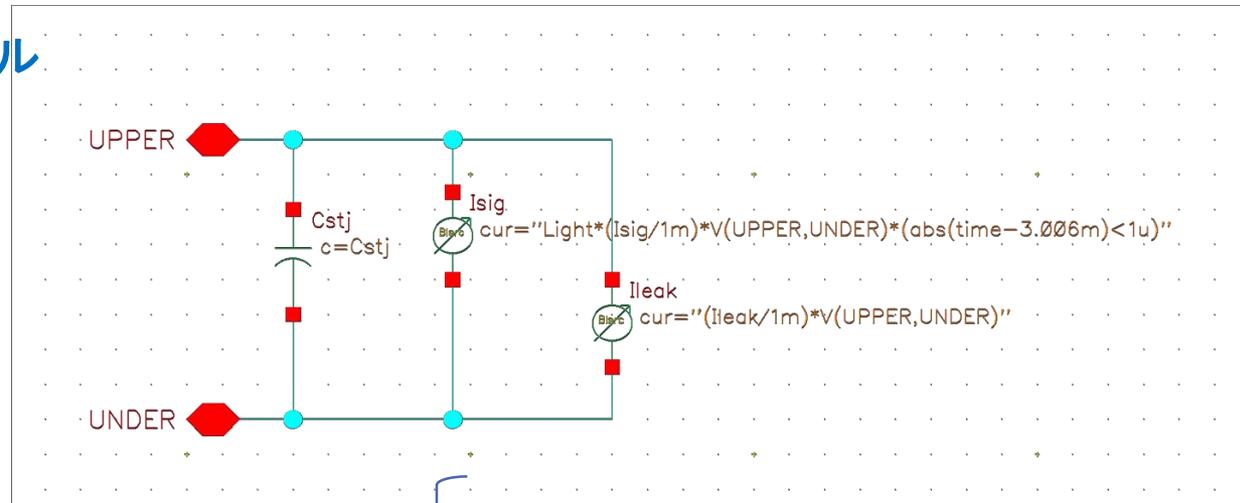


□ 外付けのコンデンサで
電位を浮かせる

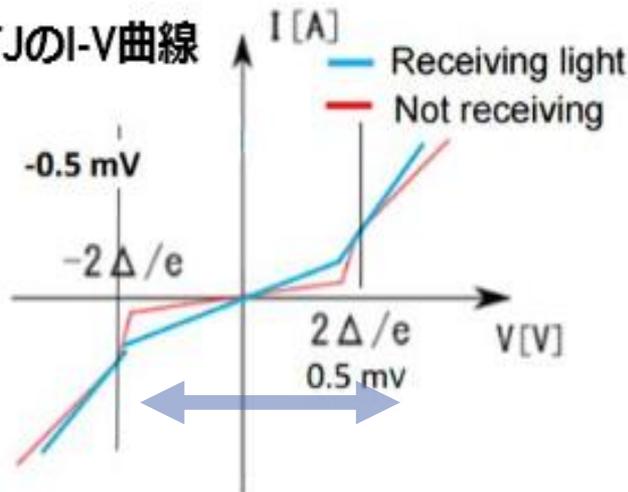
□ 入力端子電圧は増幅回路
のバイアスで決まる

光応答のシミュレーション

STJ検出器の回路モデル



Nb/Al-STJのI-V曲線



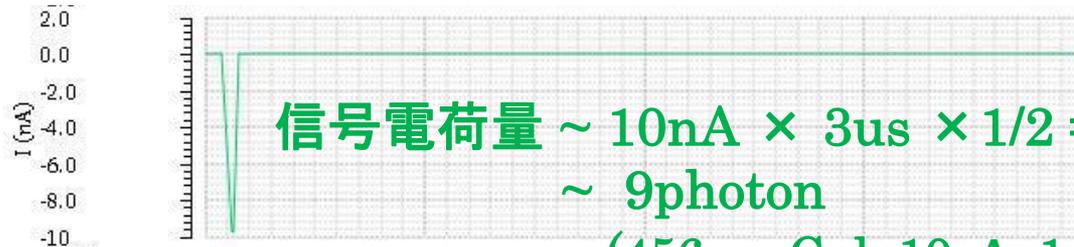
- 検出器容量: 1nF
- 信号電流源: 10nA @ 1mV
- リーク電流源: 1nA @ 1mV

電流源は動作領域を直線で
近似しモデル化

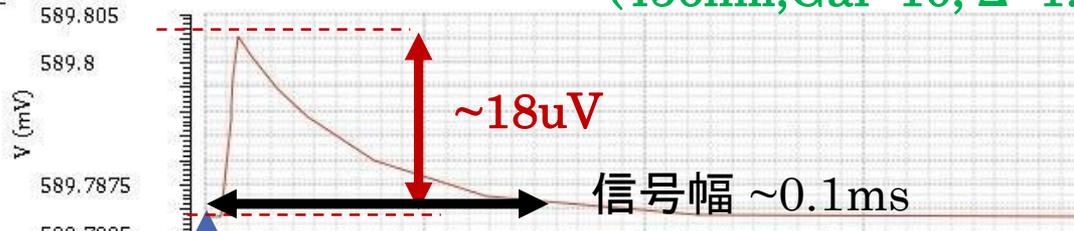
光応答シミュレーション 結果

- リーク電流: 1nA@1mV
- STJ容量: 1nF

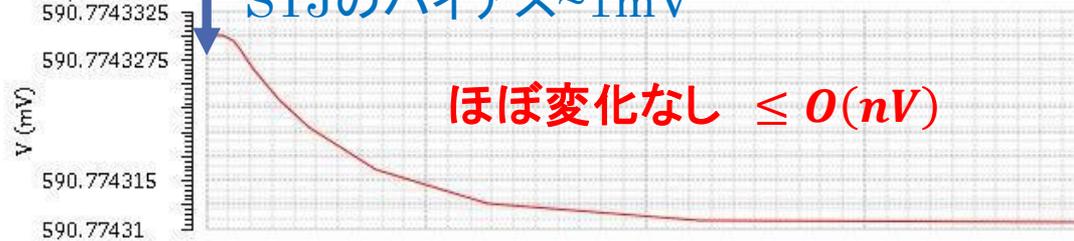
信号電流源
電流変化



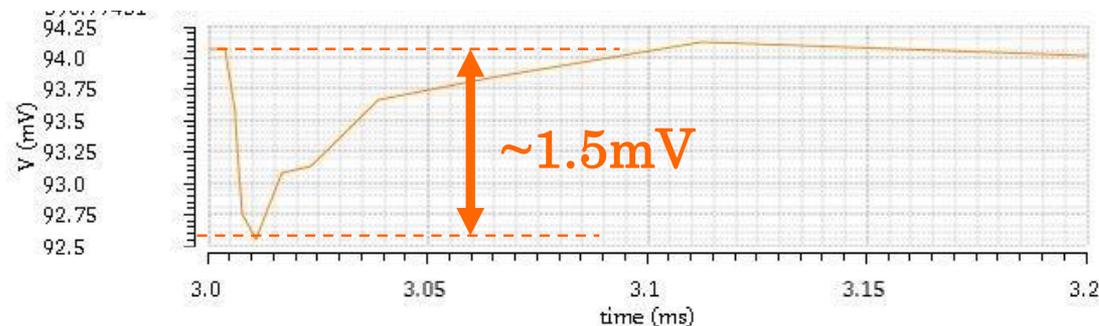
STJ下部
電圧変化



STJ上部
電圧変化

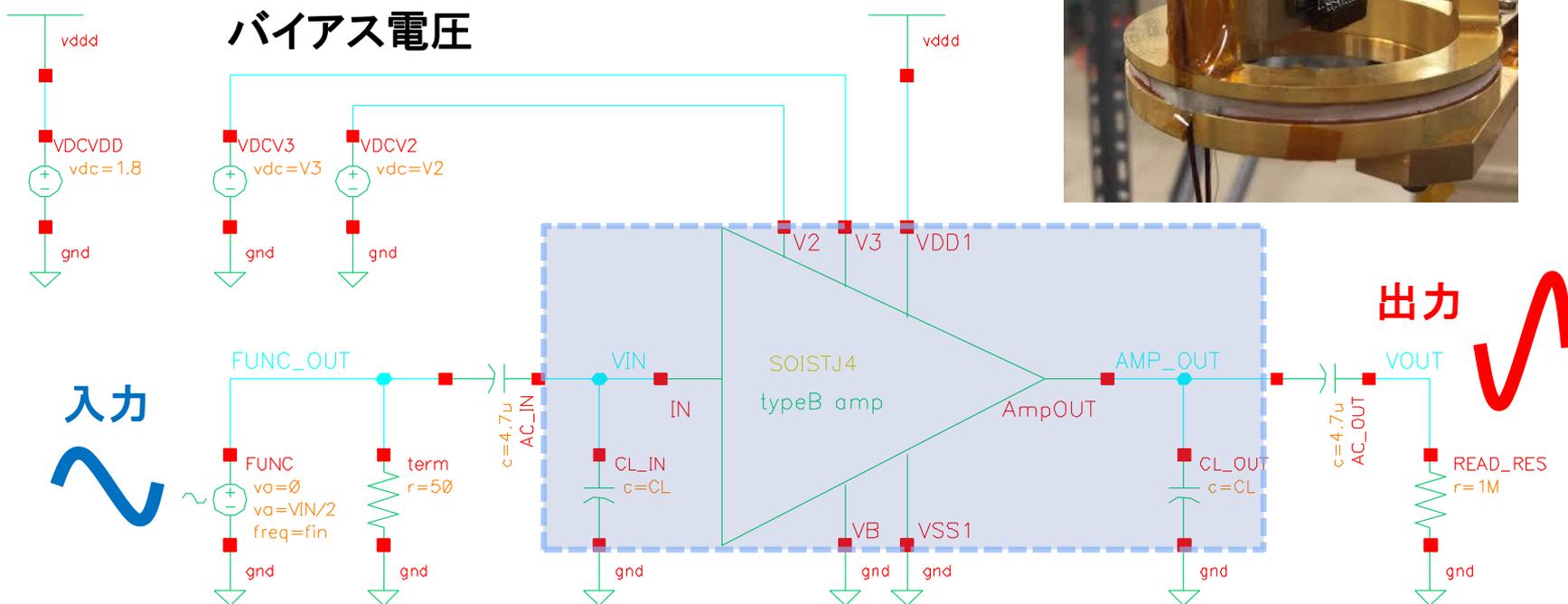
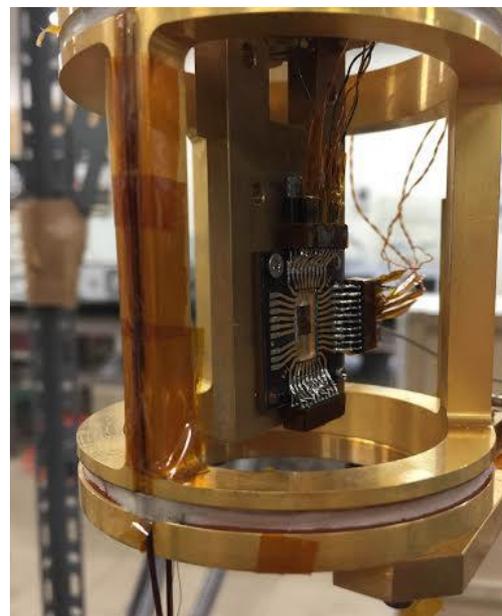


増幅器出力
電圧変化



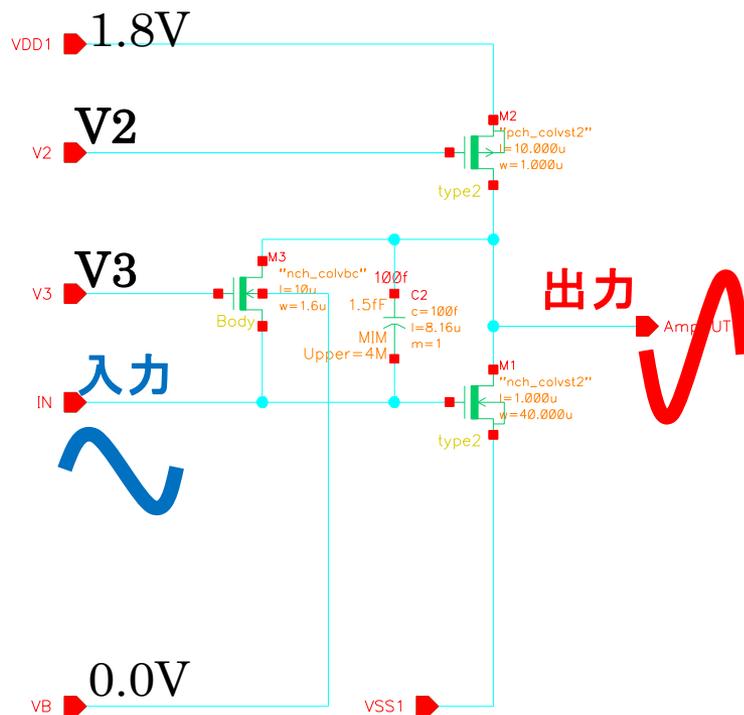
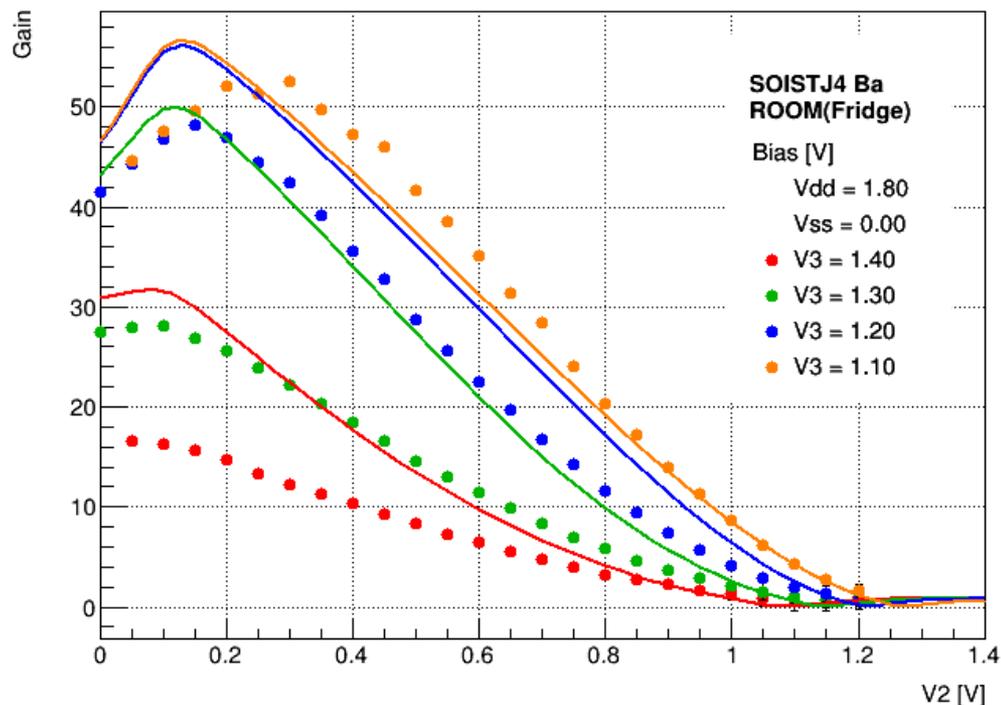
極低温での性能試験

- 増幅段、バッファ段それぞれ独立に性能試験を行った(室温, 3K)



増幅段 性能試験(室温・冷凍機内)

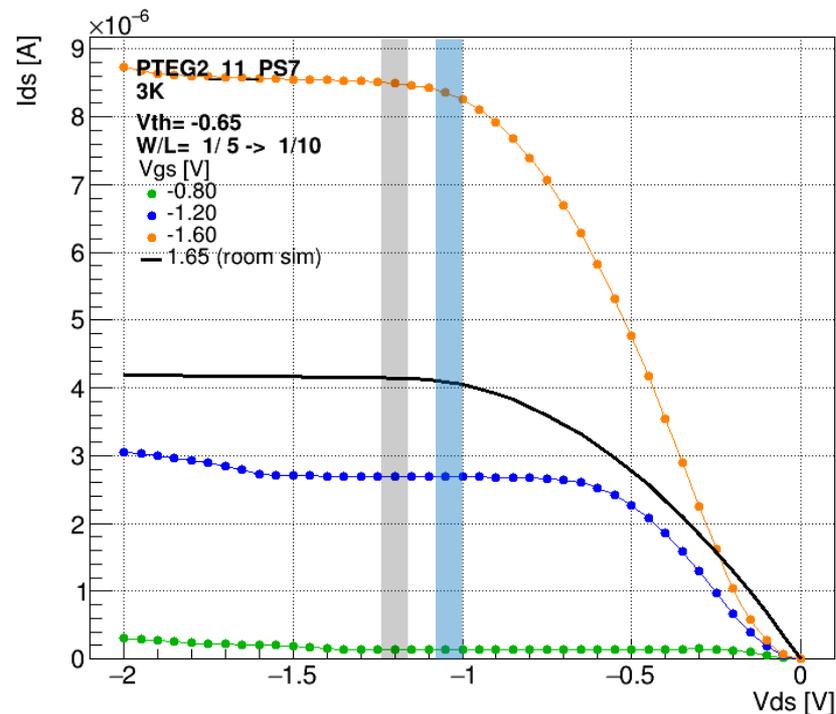
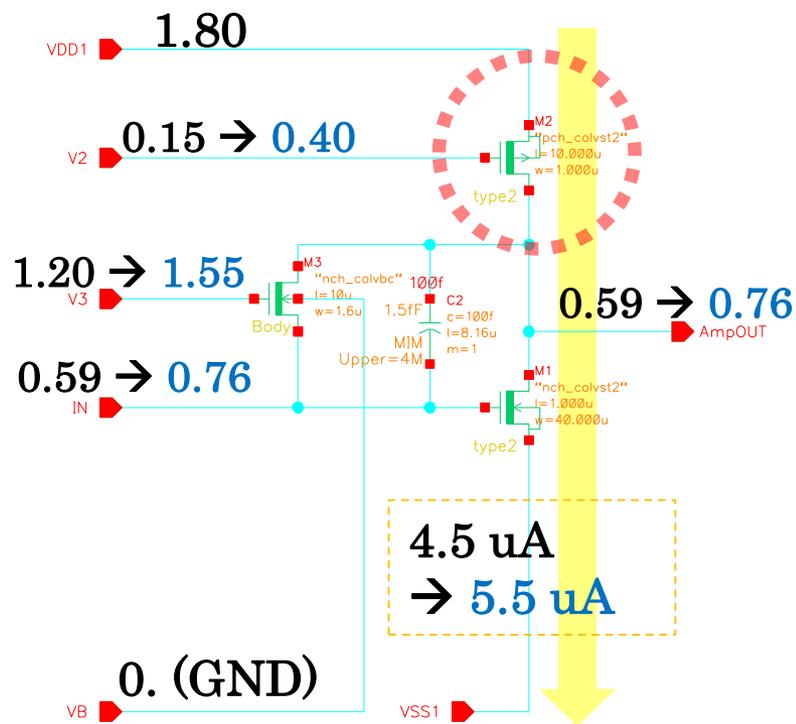
■ 増幅率のバイアス依存性



- $V2 = 0.15V$, $V3 = 1.20V$ で~55倍 (※1MΩ read-out)
- シミュレーション値と比べ、 $V3$ で10%程度ずれ

増幅段 性能試験(3K)

■ 待機電圧値[V]

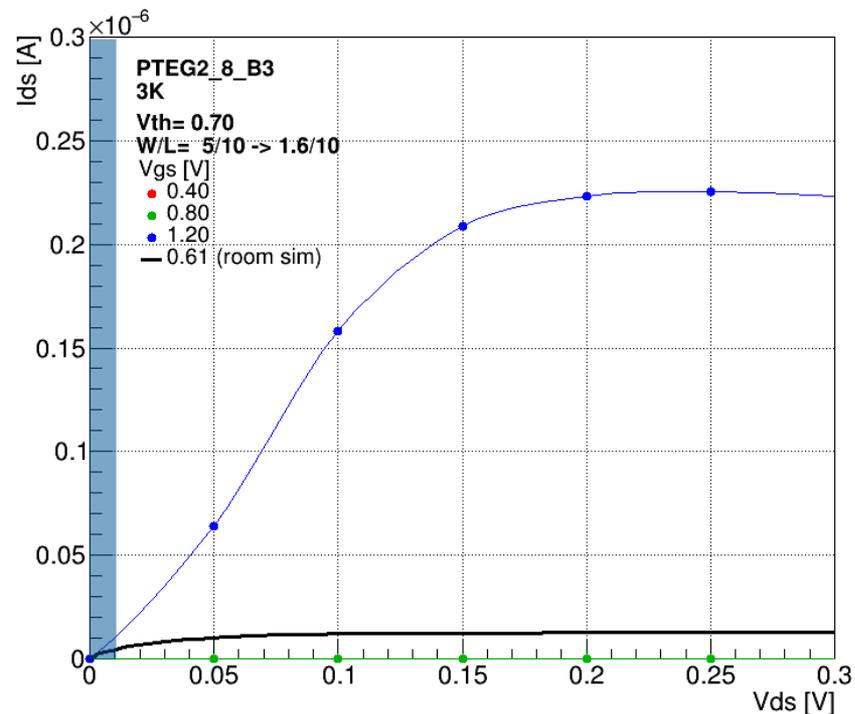
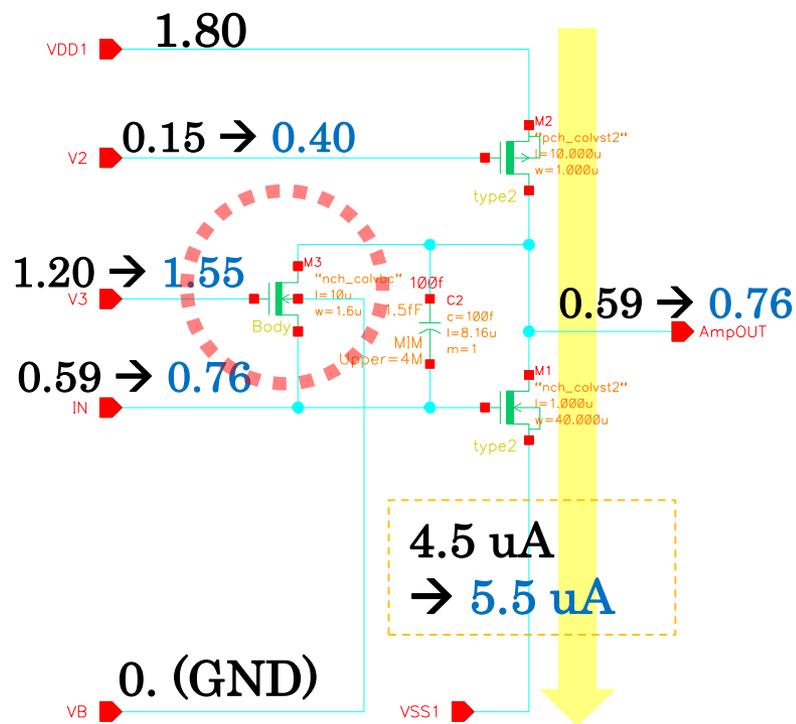


- 消費電力 $\sim 9.9\mu\text{W} \leq 100\mu\text{W}$
- 最低温ステージでも動作可能

- 低温時も飽和領域で動作
- 室温時と低温時、どちらもI-Vカーブ上のほぼ同じ領域で動作

増幅段 性能試験(3K)

■ 待機電圧値[V]



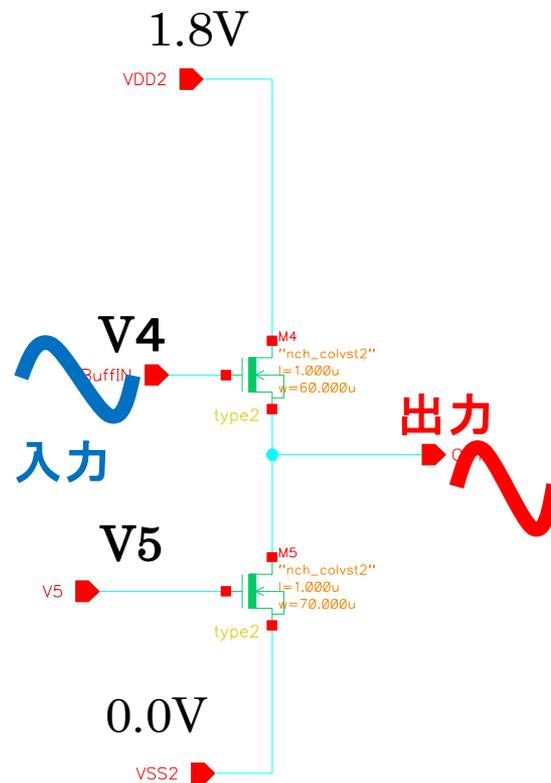
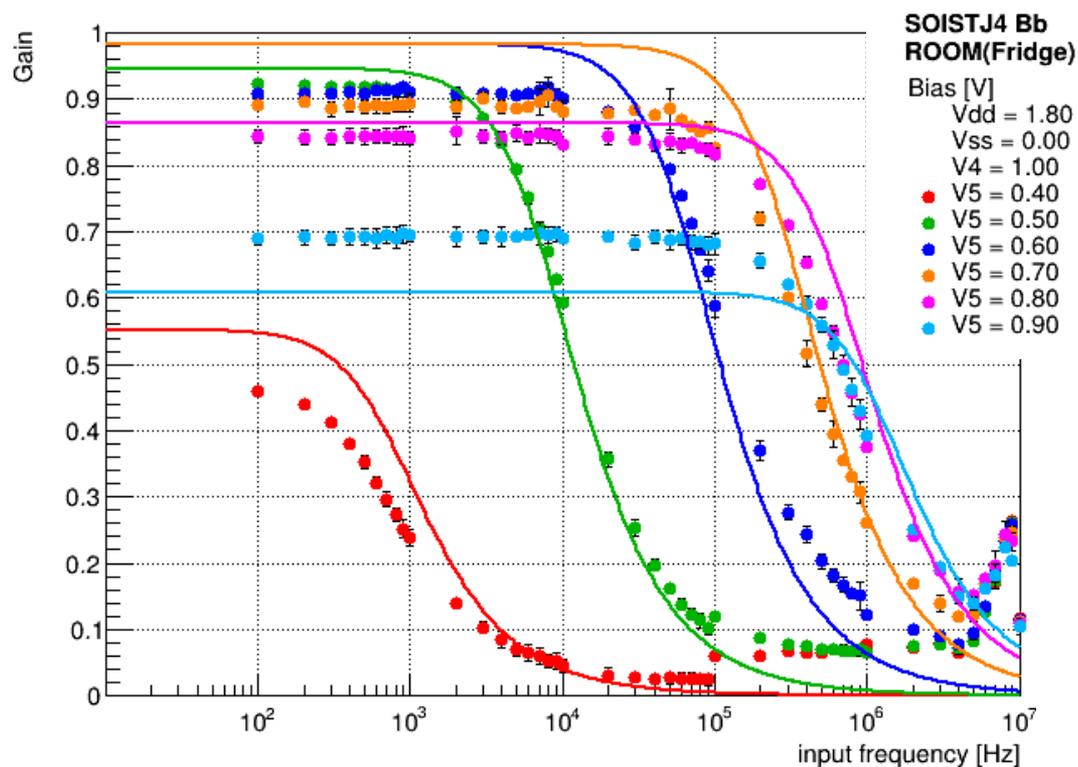
■ 消費電力 ~ 9.9uW ≤ 100uW

➤ 最低温ステージでも動作可能

➤ 室温時と低温時、どちらもI-Vカーブ上のほぼ同じ領域で動作

バッファ段 性能試験(室温・冷凍機内)

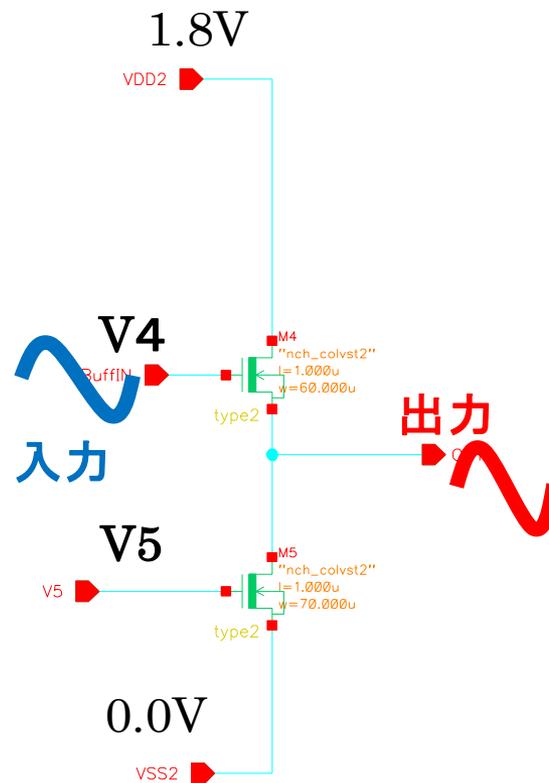
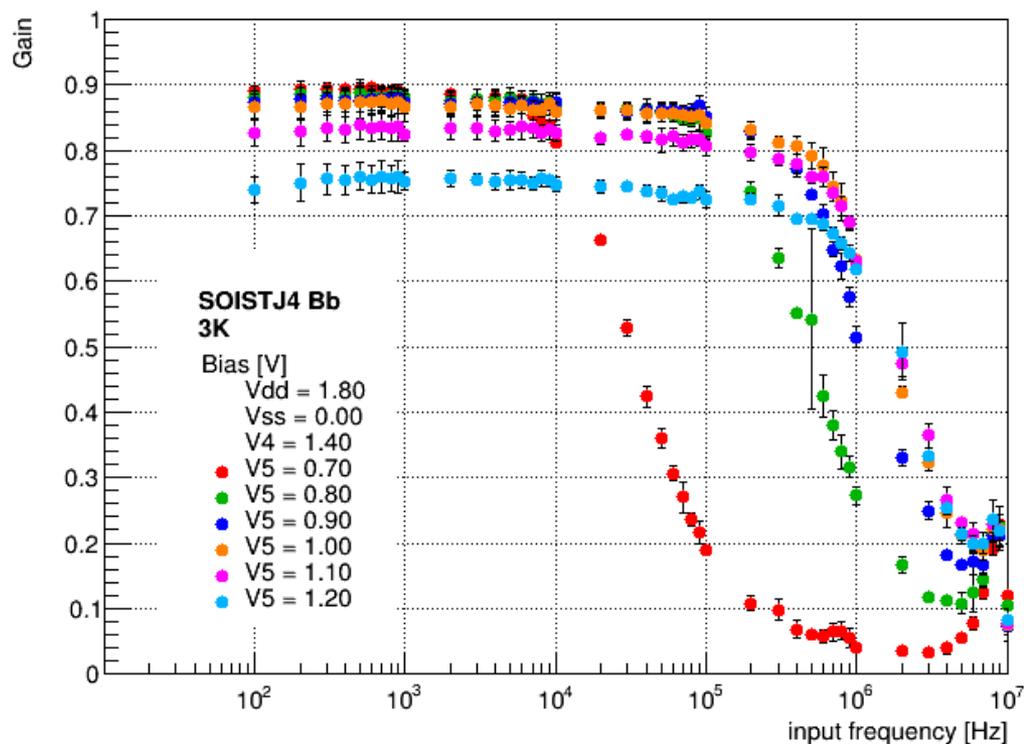
■ 周波数依存性



- シミュレーションは出力容量500pFを仮定
- V4 = 1.0V, V5 = 0.7V で $\sim 0(10^5 \text{ Hz})$ 程度まで冷凍機容量を駆動可能

バッファ段 性能試験(3K)

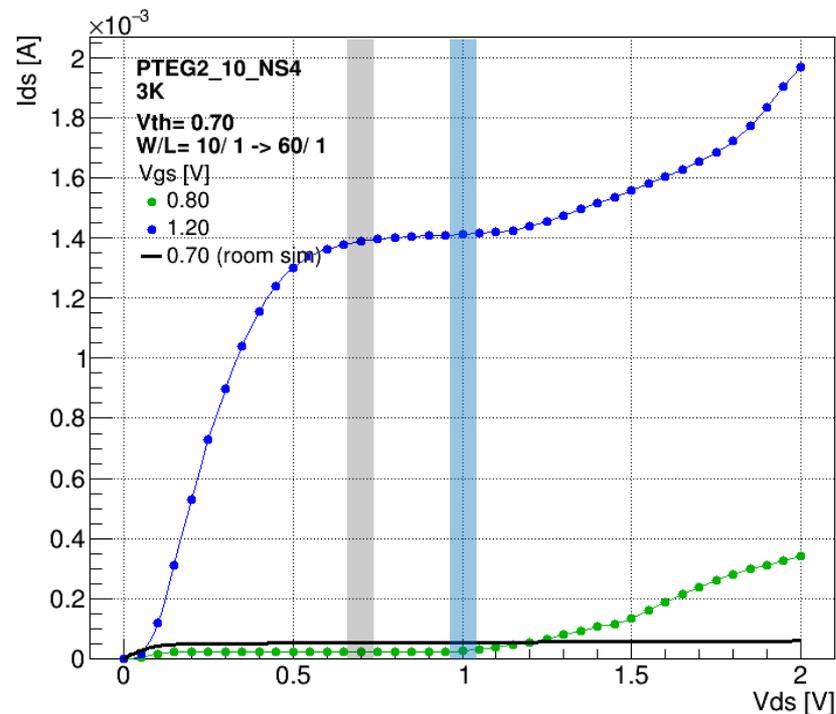
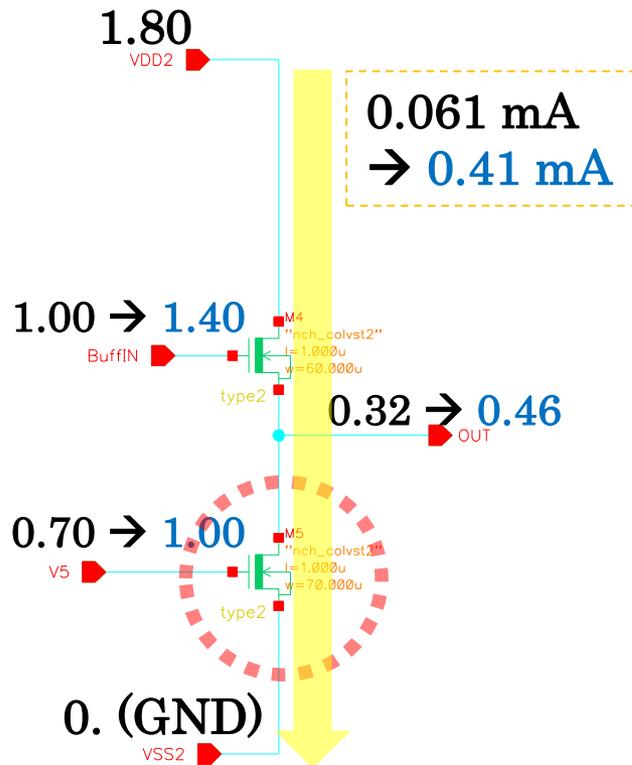
■ 周波数依存性



- $V4 = 1.4V$, $V5 = 1.00V$ で $\sim 0(10^5 Hz)$ 程度まで冷凍機容量を駆動可能
- バイアスを定めれば室温時と同じ性能

増幅段 性能試験(3K)

■ 待機電圧値[V]

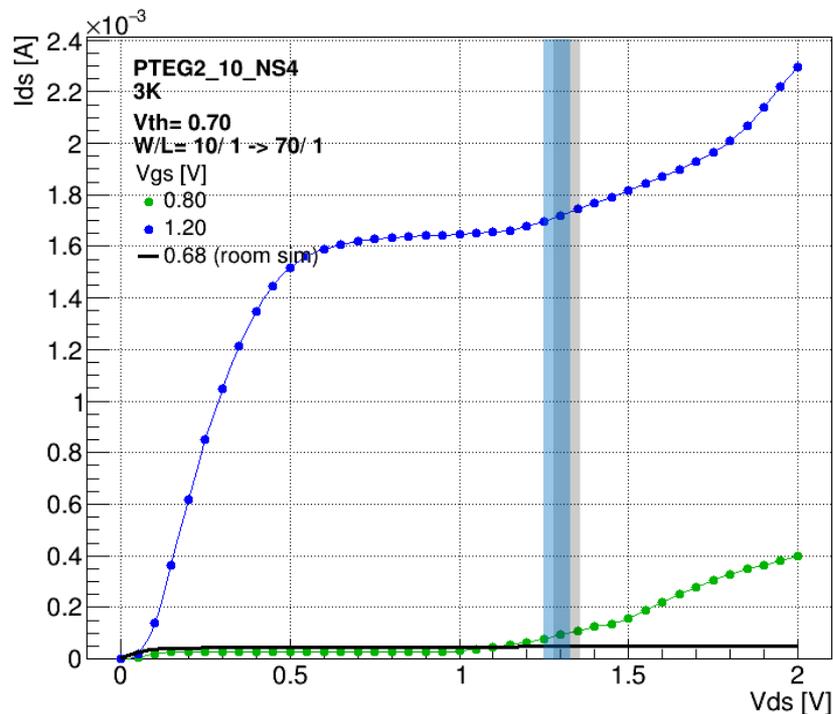
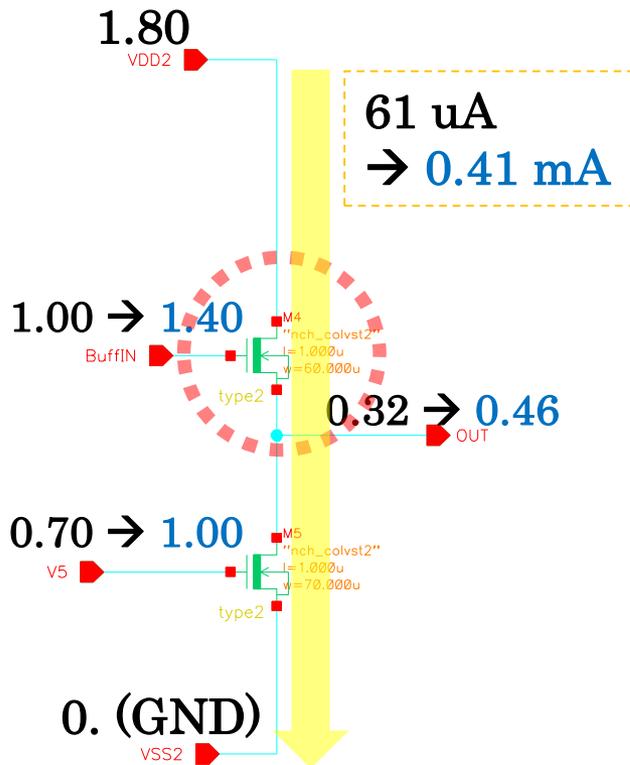


- 消費電力 ~ 0.74mW ≥ 100uW
- 最低温ステージでの動作は負荷
- 3Kステージで動作

- 低温時も飽和領域で動作
- 室温時と低温時、どちらもI-Vカーブ上のほぼ同じ領域で動作

増幅段 性能試験(3K)

■ 待機電圧値[V]



- 消費電力 $\sim 0.74\text{mW} \geq 100\text{uW}$
- 最低温ステージでの動作は負荷
- 3Kステージで動作

- 低温時も飽和領域で動作
- 室温時と低温時、どちらもI-Vカーブ上のほぼ同じ領域で動作

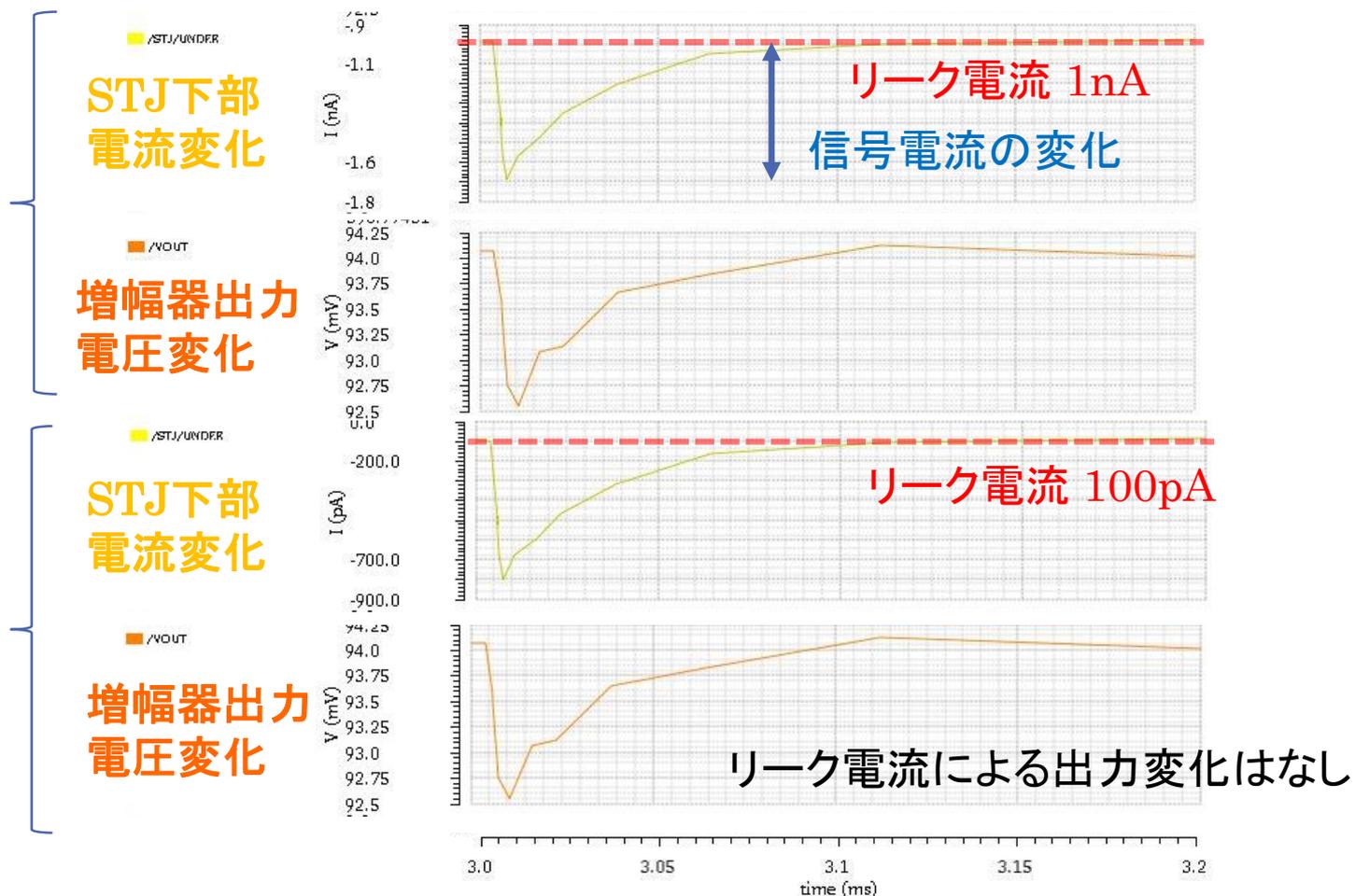
まとめ

- 崩壊光探索のため超伝導トンネル接合光検出器の開発研究を行っている。
しかし、遠赤外光1光子検出には至っていない
- 極低温前置増幅器の開発研究
 - FD-SOI-MOSFETを使った増幅回路一体型STJ検出器(SOI-STJ)
- 前号機の問題点を踏まえ、新たな増幅回路を設計した(SOI-STJ4)
 - ソース接地増幅+フィードバック+バッファ回路
 - 検出器-回路間のカップリングコンデンサは排除
- SOI-STJ4の増幅段、バッファ段の低温(3K)特性を評価した
 - 3K以下で動作 → バイアスを調節すれば室温時と同程度の性能で動作
 - 冷凍機容量を駆動可能 → $\sim 0(10^5 \text{ Hz})$ 程度まで冷凍機容量($\sim 500 \text{ pF}$)を駆動
 - 低消費電力 → アンプ段: $\sim 9.9 \mu\text{W} \leq$ 最低温ステージ, バッファ段: $\sim 0.74 \text{ mW} \leq$ 3Kステージ
 - STJ信号を増幅可能 → シミュレーションでは信号幅 0.1 ms を $\sim 1 \text{ mV}$ 程度まで増幅

光応答シミュレーション 結果

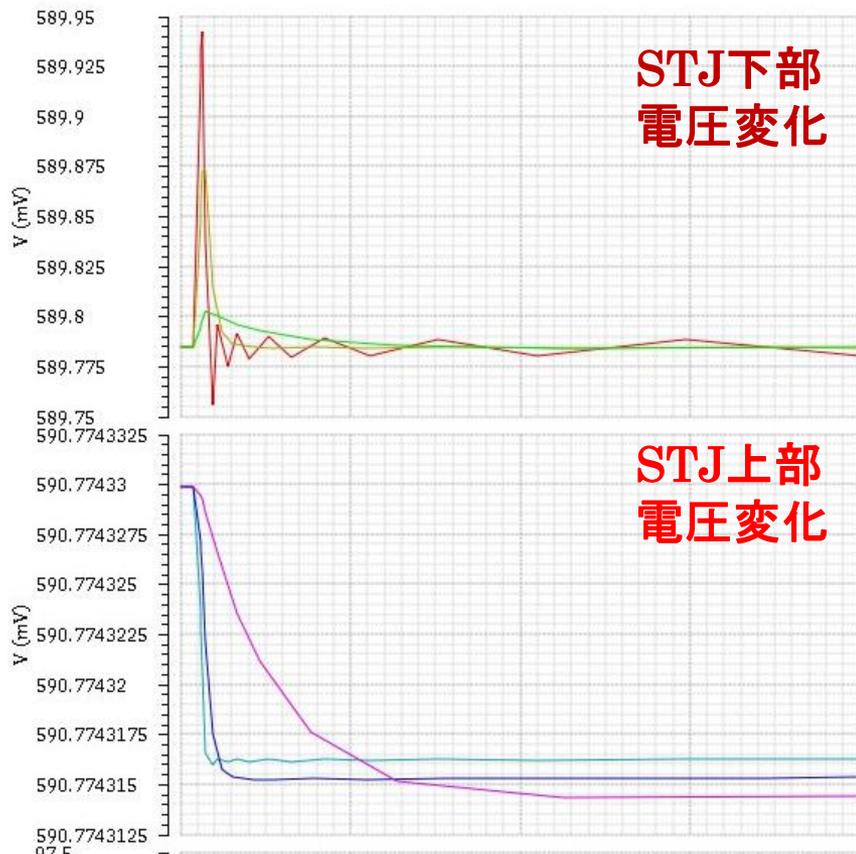
- 信号: 10nA@1mV
- STJ容量: 1nF

■ リーク電流による出力の変化

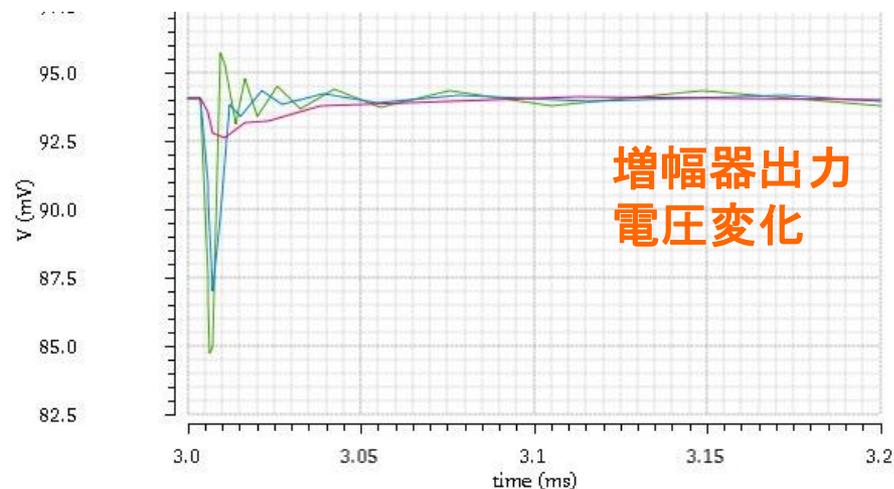


光応答シミュレーション 結果

■ STJ容量による出力の変化

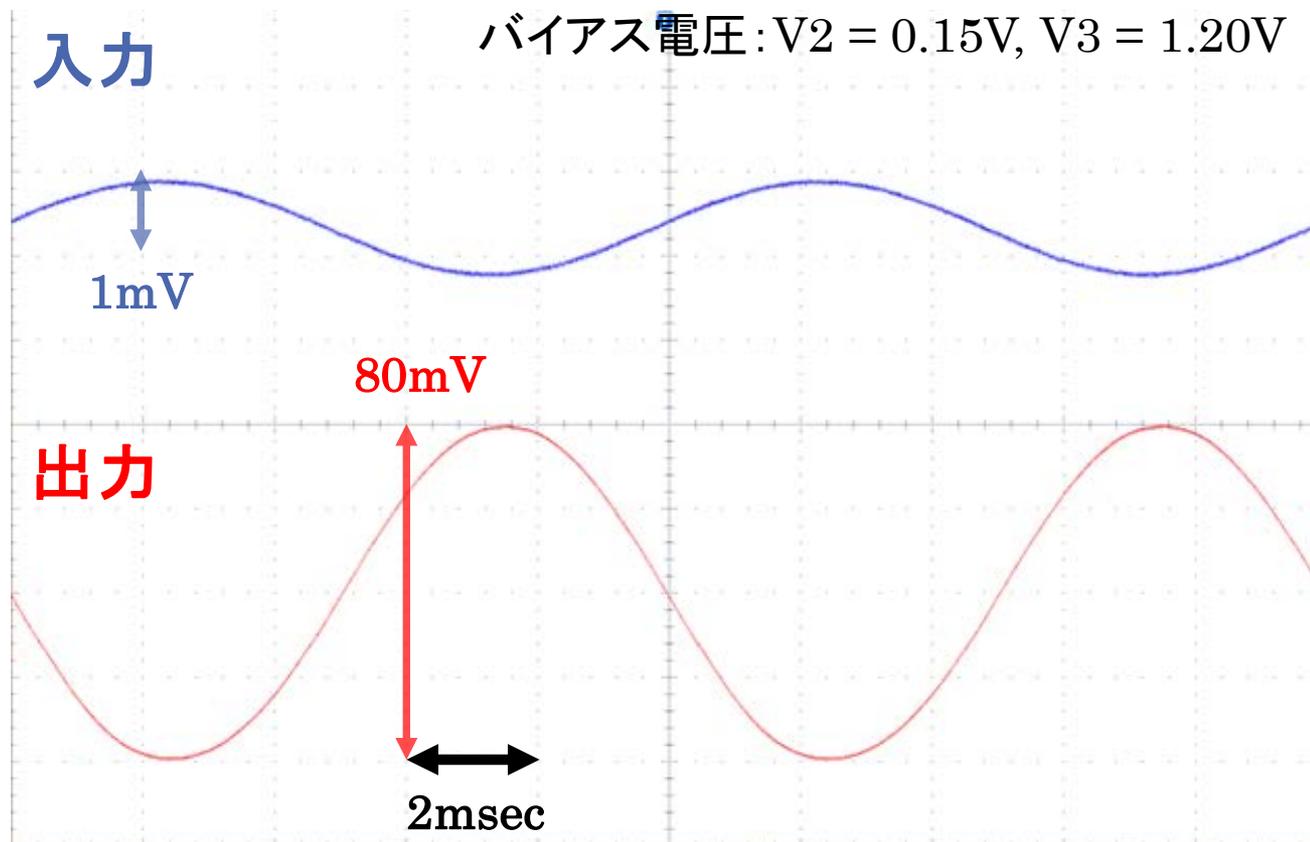


- 信号電流: 10nA @1mV
- リーク電流: 10nA@1mV
- STJ容量: 1nF, 100pF, 10pF
- 容量が小さいほど信号幅は短く、電圧変化は大きくなる



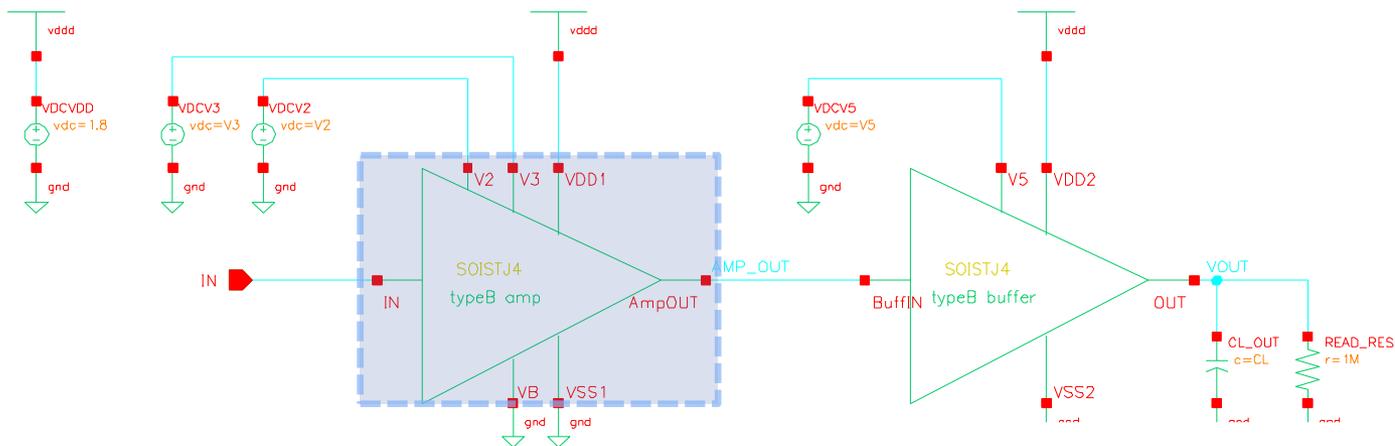
増幅段 性能試験(3K)

■ 信号波形(Average 512)

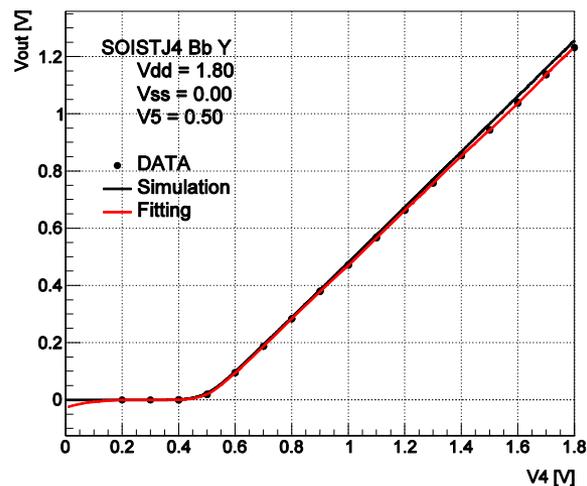


増幅段 性能試験(3K)

■ 出力端子 DC電圧特性測定

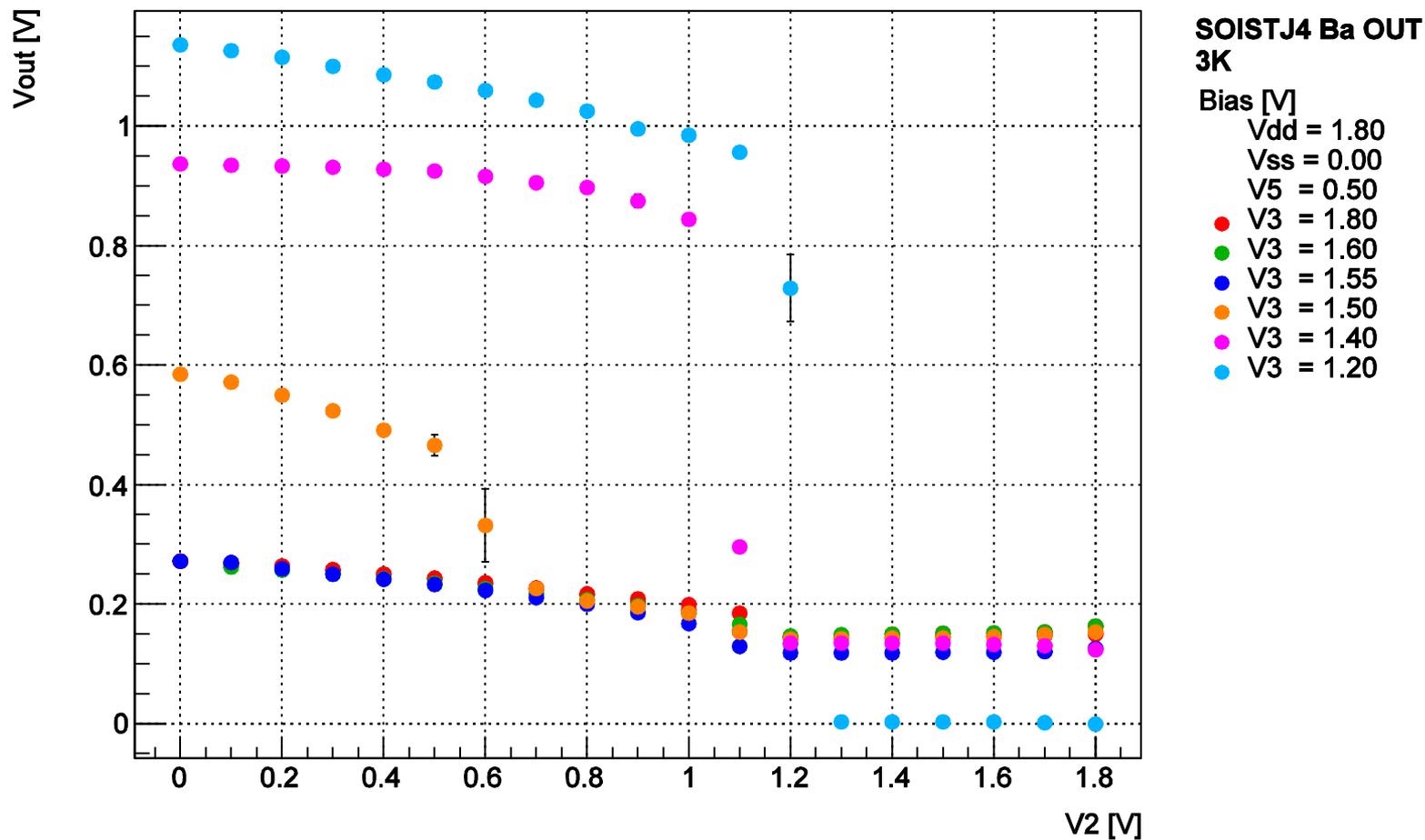


- バッファ段をプローブとして使用
- バッファ段出力を測定
- バッファ段の入出力特性から、アンプ段出力電圧を逆算



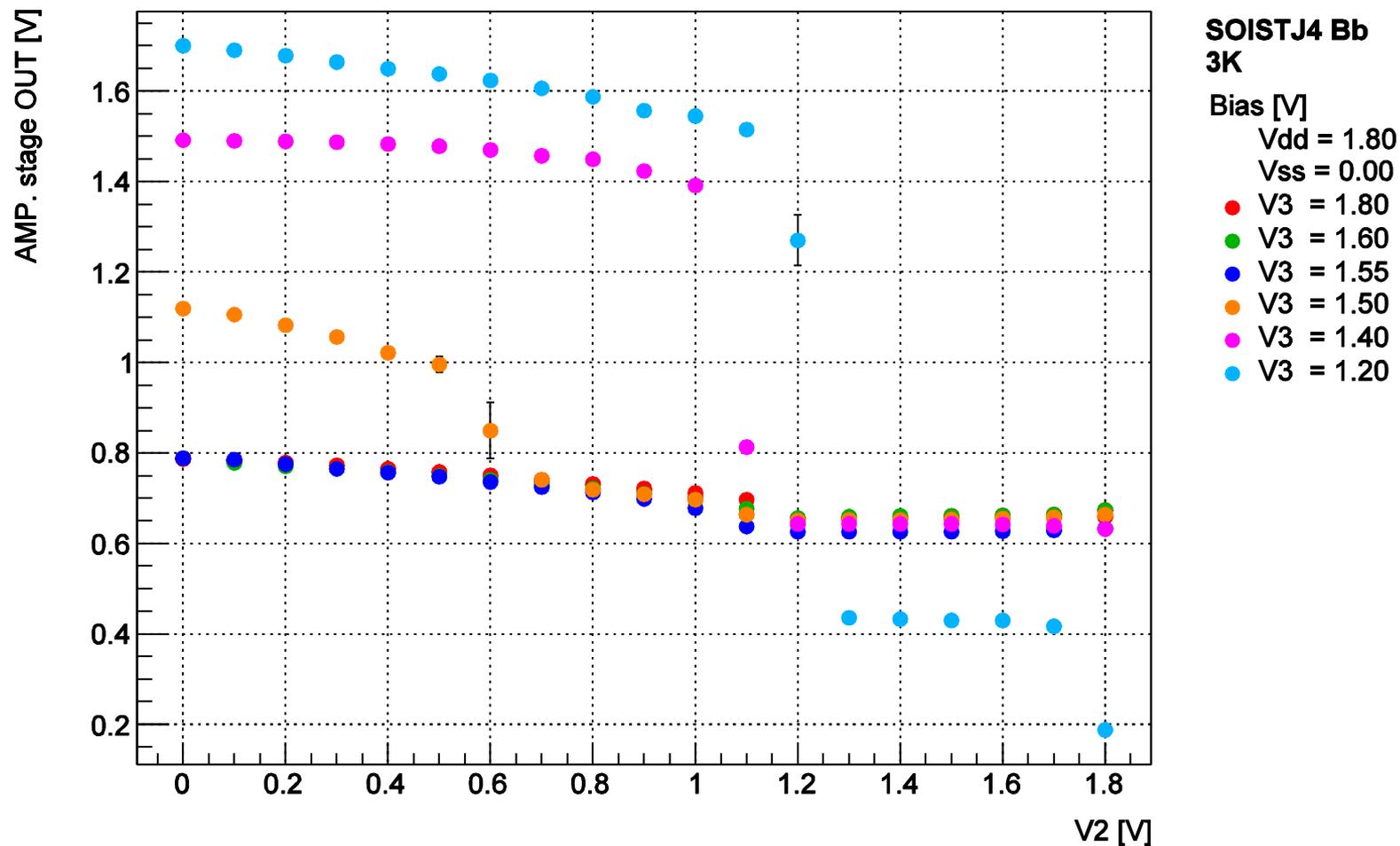
増幅段 性能試験(3K)

■ 出力端子 DC電圧特性測定 バッファ段出力



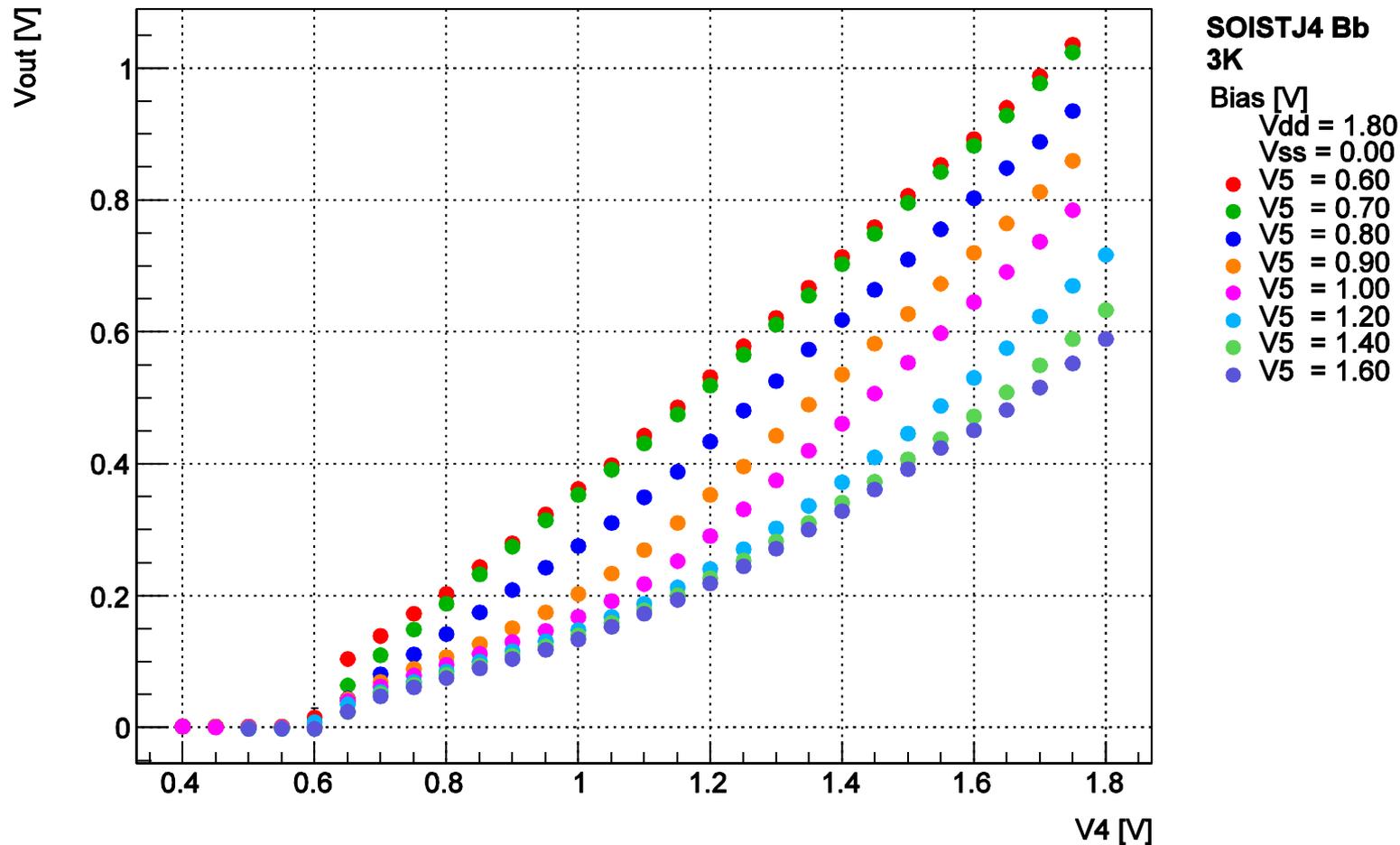
増幅段 性能試験(3K)

■ 出力端子 DC電圧特性



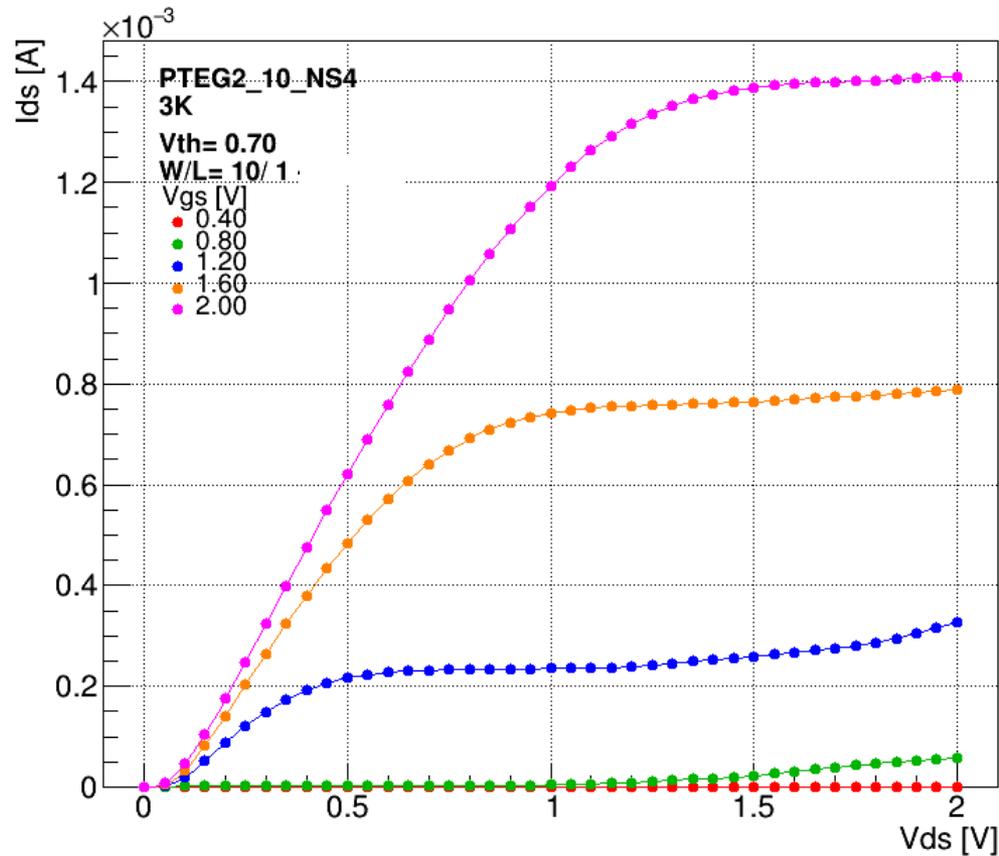
バッファ段 性能試験(3K)

■ DC電圧特性



TrTEG I-V

■ NMOS source-tie

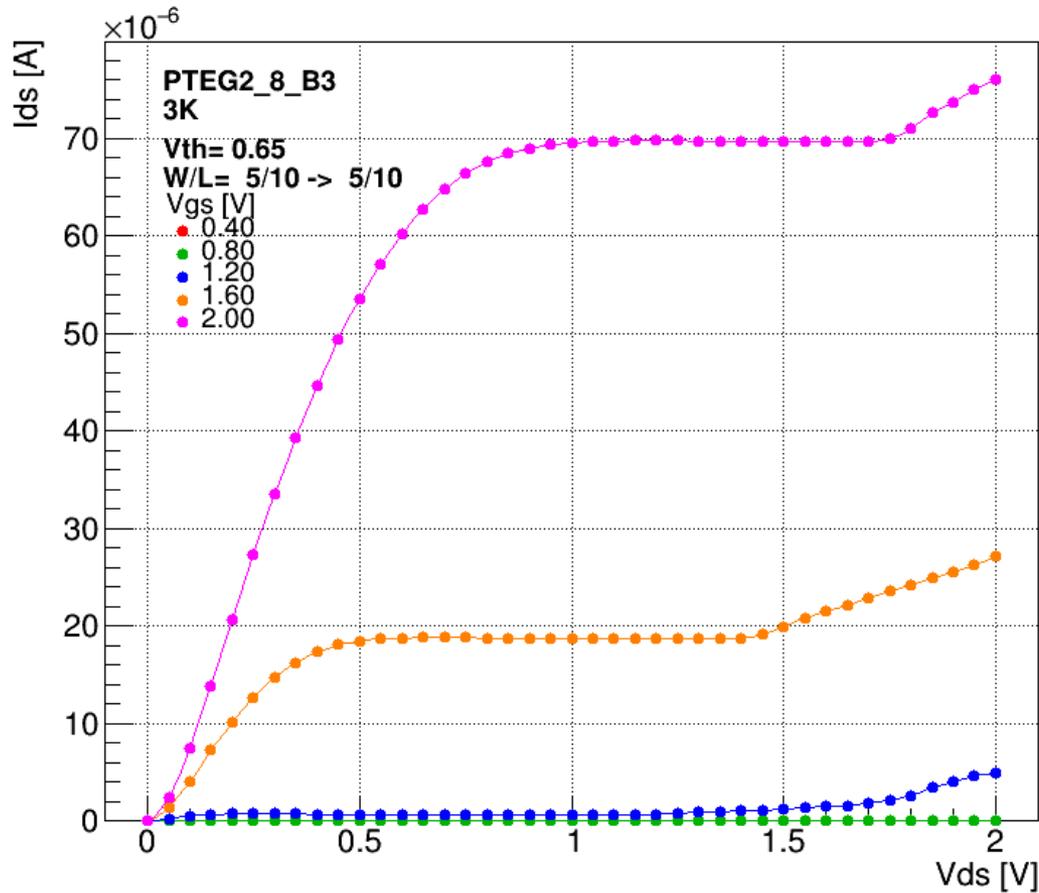


$$I_{ds} \propto \frac{W}{L}$$

$$\Rightarrow I'_{ds} = \frac{\left(\frac{W'}{L'}\right)}{\left(\frac{W}{L}\right)} I_{ds}$$

TrTEG I-V

■ NMOS body-tie

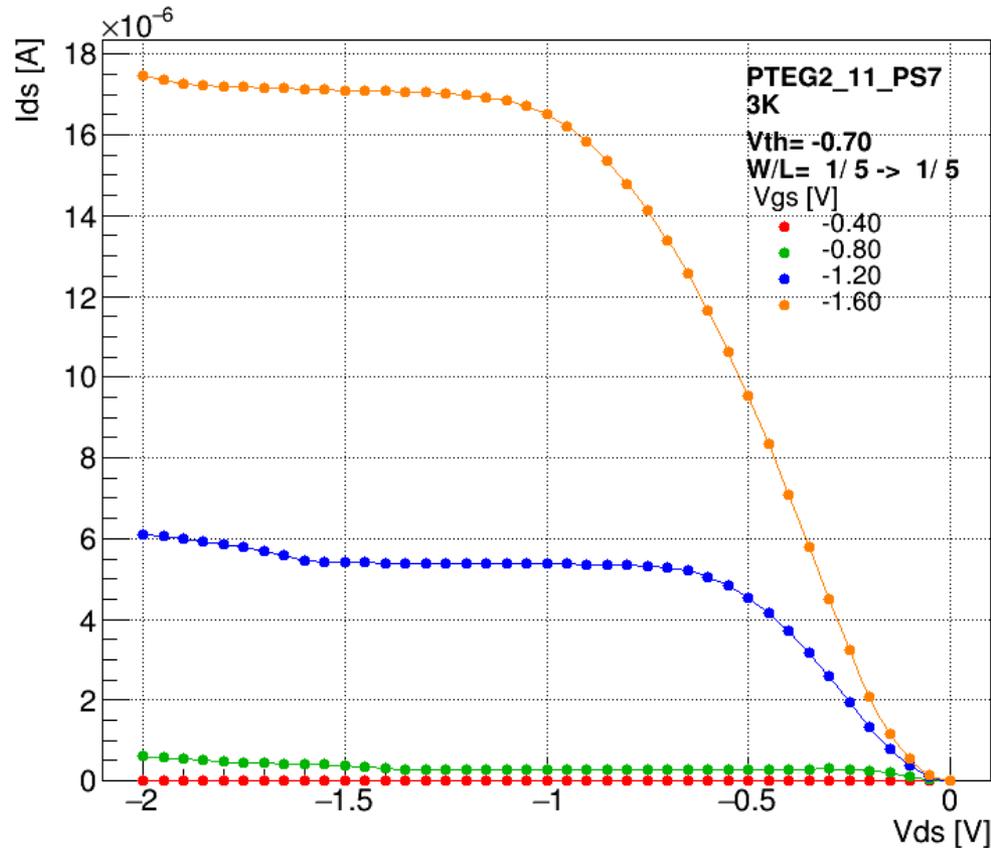


$$I_{ds} \propto \frac{W}{L}$$

$$\Rightarrow I'_{ds} = \frac{\left(\frac{W'}{L'}\right)}{\left(\frac{W}{L}\right)} I_{ds}$$

TrTEG I-V

■ PMOS source-tie



$$I_{ds} \propto \frac{W}{L}$$

$$\Rightarrow I'_{ds} = \frac{\left(\frac{W'}{L'}\right)}{\left(\frac{W}{L}\right)} I_{ds}$$