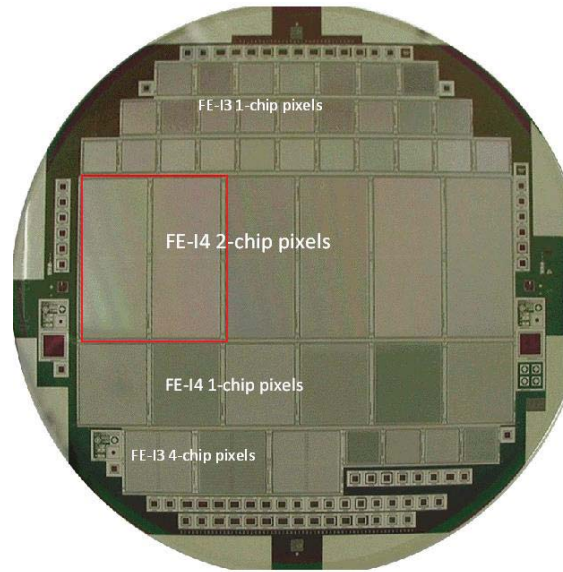


# HL-LHC 内部飛跡検出器増強 全体像



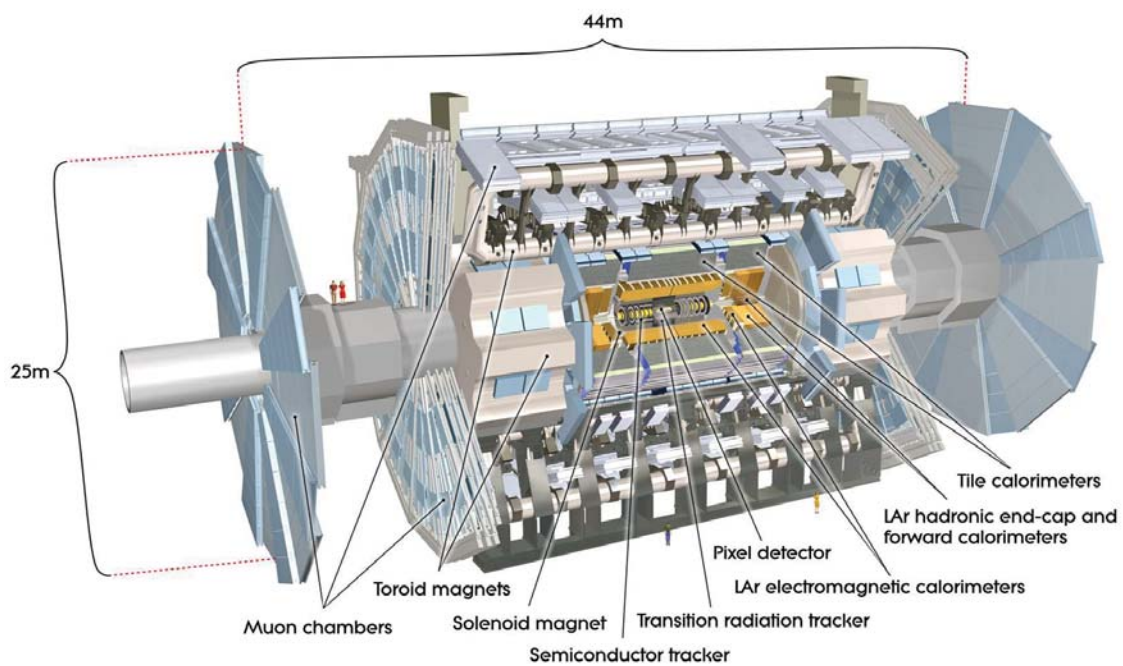
池上陽一 KEK/CiRfSE

2017/01/24

第3回 CiRfSEワークショップ

1

# ATLAS検出器

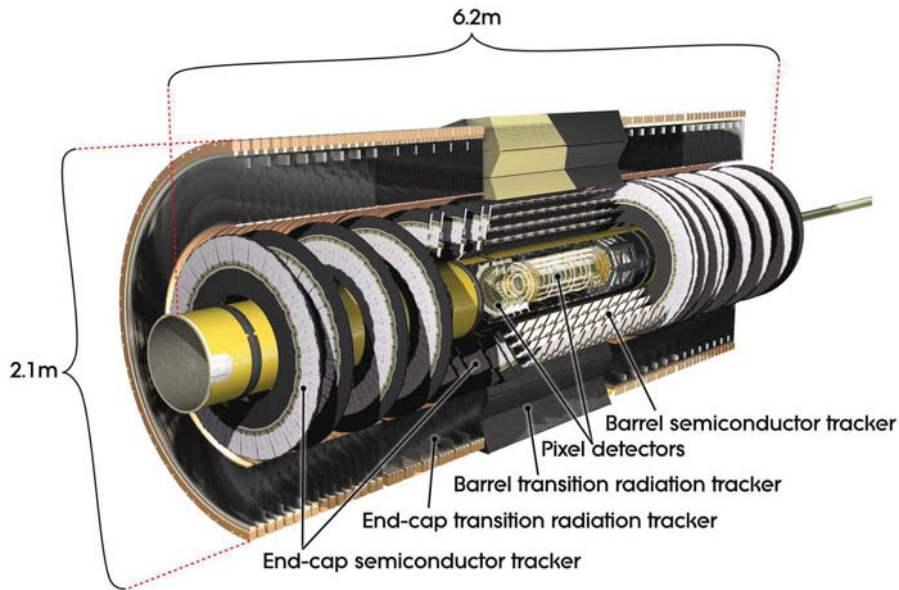


2017/01/24

第3回 CiRfSEワークショップ

2

# Inner tracker



Pixel + SCT (strip) + TRT (chamber)  
 ⇒ All silicon semiconductor tracker

## HL-LHC 内部飛跡測定器への課題

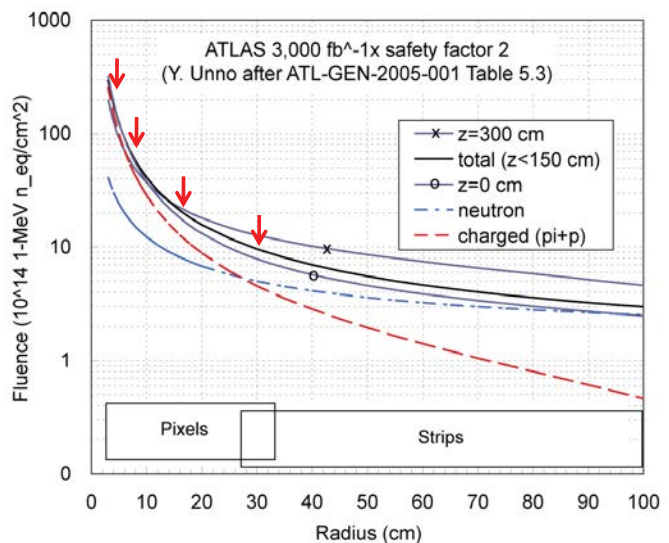
- ATLAS detector to design for
  - Instantaneous lum.:  $7 \times 10^{34} \text{ cm}^{-2}\text{s}^{-1}$
  - Integrated lum.:  $6000 \text{ fb}^{-1}$  (including safety factor 2 in dose rate)
  - Pileup: 200 events/crossing

### • PIXELs (HL-LHC)

- Inner:  $r=3.7 \text{ cm}$   $\sim 2.2 \times 10^{16}$
- Medium:  $r=7.5 \text{ cm}$ ,  $\sim 6 \times 10^{15}$
- Med/Out:  $r=15.5 \text{ cm}$   $\sim 2 \times 10^{15}$
- Outer:  $r=31 \text{ cm}$  (?)  $\sim 1 \times 10^{15}$
- Charged: Neutrons  $\geq 1$

### • STRIPs (HL-LHC)

- Replacing Strip and TRT
- $r=30 \text{ cm}$ , e.g.
  - Fluence  $\sim 1 \times 10^{15}$
- Neutrons: Charged  $\geq 1$

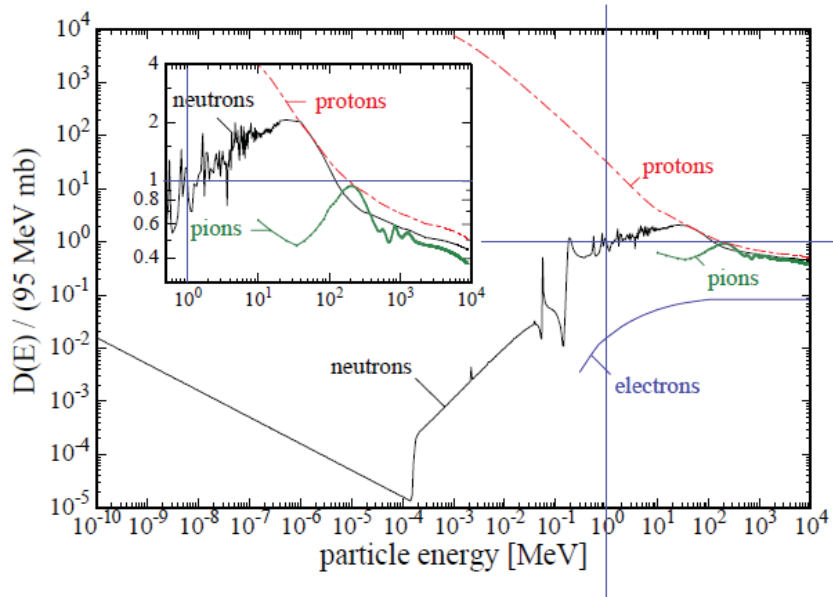


occupancy ⇒ pixel size :50x400 → 50x250 (μm) → 50x50 (or 25x100) (μm)  
 strip length:120 → 24 (mm)

放射線耐性 ⇒ p-bluk sensorの開発

# NIEL

照射線が物質内に入射して失うエネルギーのうち、原子の弾き出しにのみ使われるエネルギー(非イオン化エネルギー)を表したものをNIEL (Non Ionizing Energy Loss) と呼ぶ。



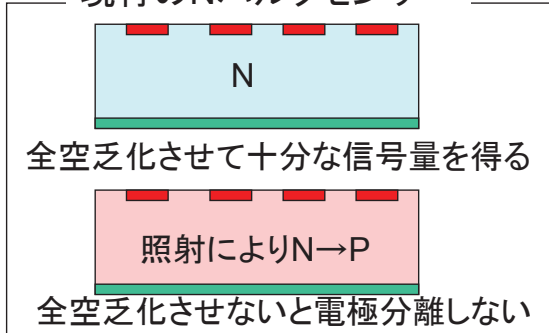
2017/01/24

第3回 CiRfSEワークショップ

5

## シリコン半導体検出器の放射線損傷

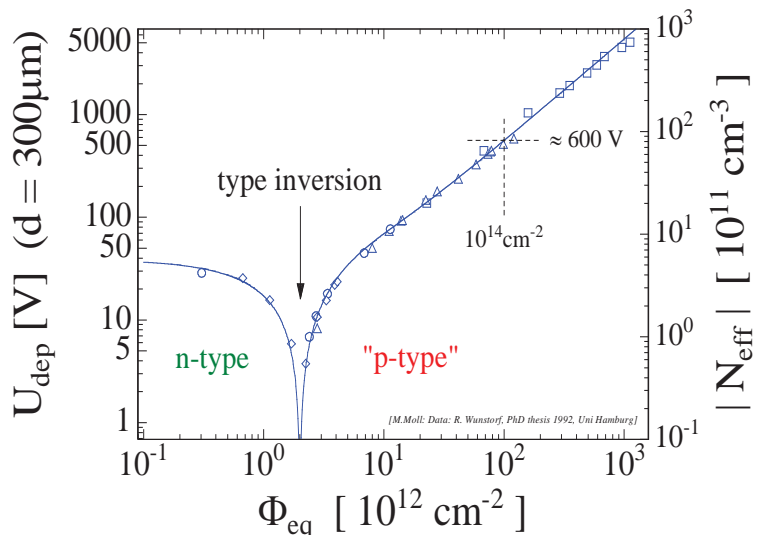
現行のNバルクセンサー



全空乏化させて十分な信号量を得る

照射によりN→P  
全空乏化させないと電極分離しない

$10^{14} / \text{cm}^2$  (LHC当初計画) を越えると全空乏化電圧は500Vに達し、システムの耐圧を越える



衝突で発生する粒子により、P型不純物が生成されるN型バルク:P型に反転した後に全空乏化電圧が上昇

放射線耐性をさらに上げるには、P型バルクセンサー



型反転しない  
PN接合側の電極は部分空乏化でも分離  
→ 耐圧を越えたら、電圧を下げても運転(信号量は減る)

2017/01/24

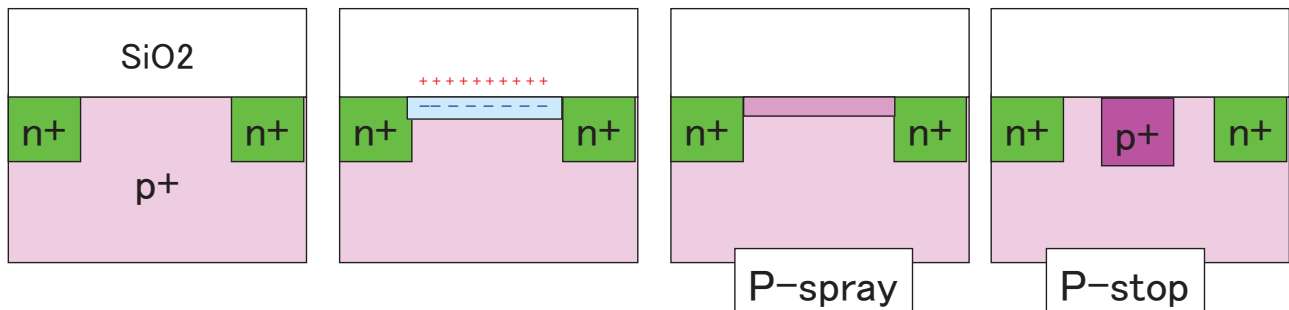
第3回 CiRfSEワークショップ

6

# P型半導体によるシリコン検出器の課題

## 電極間の分離

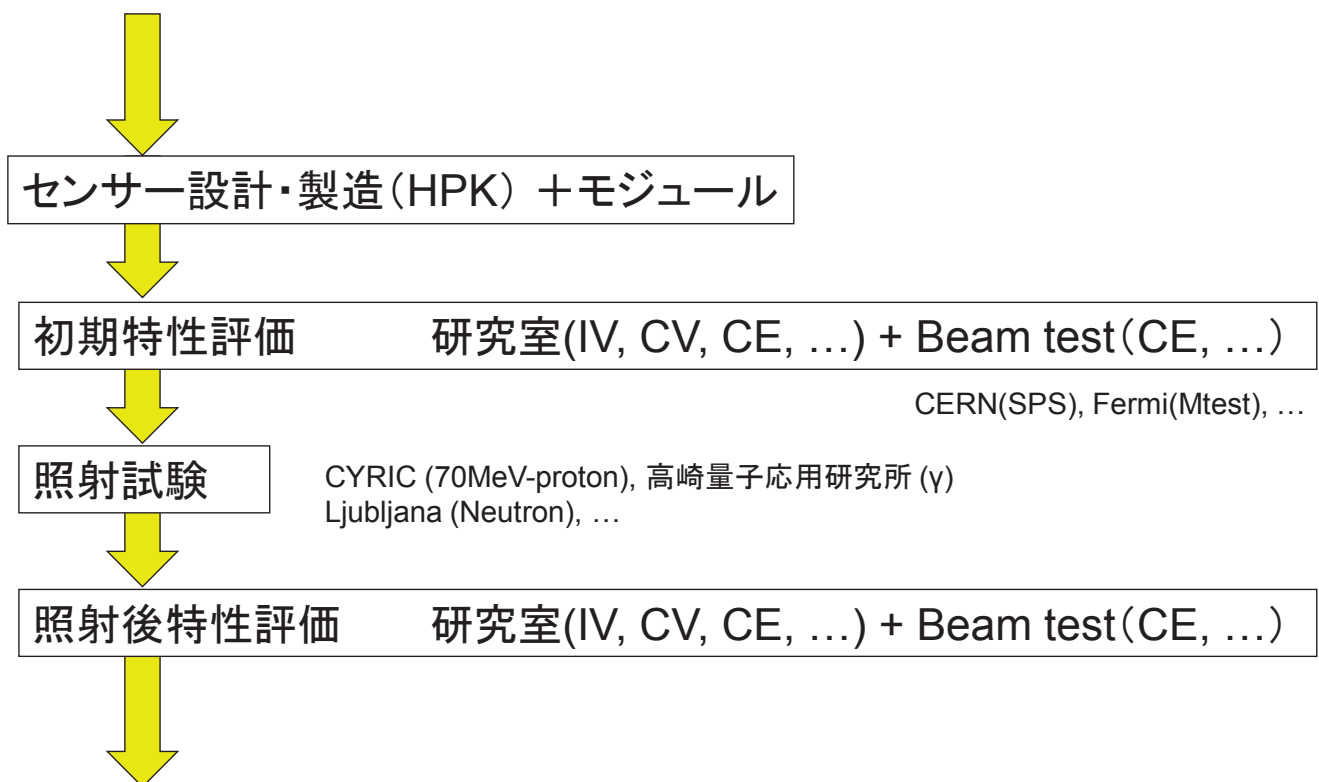
酸化膜SiO<sub>2</sub>に正電荷が蓄積し、Pバルク部表面に引き寄せられた電子のために、ストリップ間が電氣的に繋がってしまう。



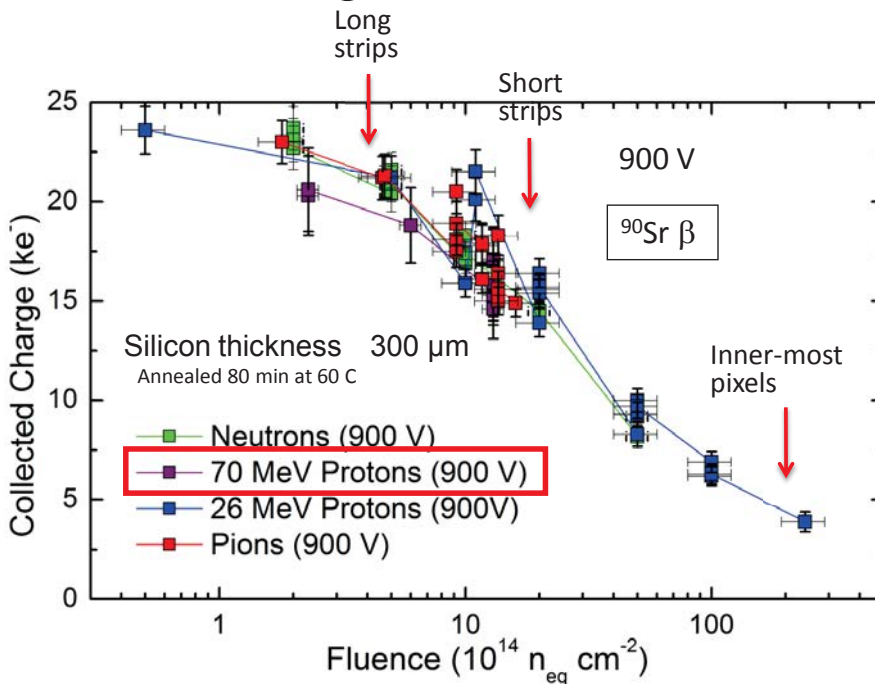
P-spray, P-stop, geometry, implant condensation, ...

1cm x 1cm のbaby sensor用いて、照射試験を行い性能を比較

## 開発の流れ



# Charge Collection after Irradiation



基本的に  
問題はない

H.F.-W.Sadrozinski, et al.,  
NIM A(2011)

Still good amount of signals

CC ~13000-18000 e at  $1 \times 10^{15}$  neq/cm<sup>2</sup> at 500-900 V bias voltage

Still ~5000 e at  $\sim 1 \times 10^{16}$  neq/cm<sup>2</sup>

2017/01/24

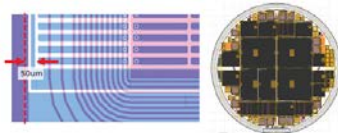
第3回 CiRfSEワークショップ

9

## ATLAS planar PIXEL prototyping runs

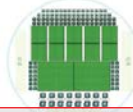
→ Dortmund n-on-n production at CIS

- 500 μm thickness
- FE-14 Quads, Alpines, pseudo-Hex Possib
- FE-14 SCS, several versions
- Bias grid variation
- Extreme slim edge design
- Investigation of 50 μm slim edge



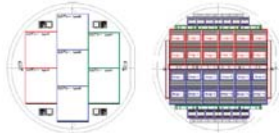
→ MPI n-on-p production at CIS

- 265-270 μm thickness
- FE-14 Quads and doublets
- 50x250 and 25x500 μm<sup>2</sup> pixel sizes



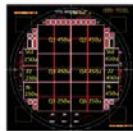
→ KEK n-on-p production at HPK

- Split quad and single-module designs
- Quad wafer has 7 sensors to meet the demand
- Single wafer aims at:
  - HV edge protection study
  - 50x50 μm<sup>2</sup> pixels



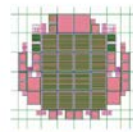
→ Liverpool n-on-p production at Micron

- CERN Pixel VI design
- New QUAD wafer – Quads use new Punch through Bias design
- to improve Electrical characteristics and break down.
- 450 μm (std) and 250 μm (slim) cut edges
- Optional masks to implement N+ and P+ implants at dice streets
- Single sensors feature zig zag bias rail routing



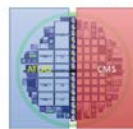
→ CNM n-on-p planar production

- 200 μm thick wafers (SOI).
- P-stop isolation.
- FE-14 and Fe-13 geometries (50x50, 25x500, 50x250 μm<sup>2</sup>).

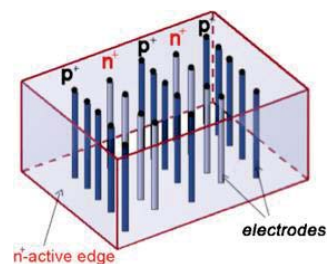


→ FBK-INFN-LPNHE n-on-p planar production at FBK

- 100 μm and 130 μm thick wafers (Silicon on Silicon).
- Single FE-14 devices, no active edge.
- Late 2015 to early 2016: same wafers, more aggressive designs with active edges, 50x50 μm<sup>2</sup> and 50x250 μm<sup>2</sup> pixels.



IEEE NSS, November 2015, San Diego, California  
Poster N3AP-36

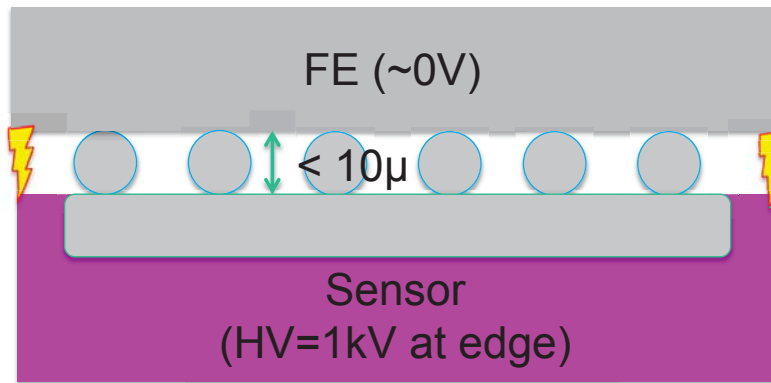


20  
17/

第3回 CiRfSEワークショップ

10

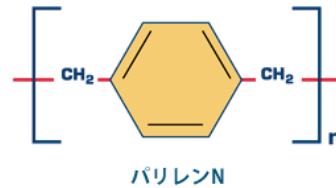
# センサーエッジ部の高電圧保護



エッジのみに  
絶縁物(パリレン)を  
蒸着出来ないか？

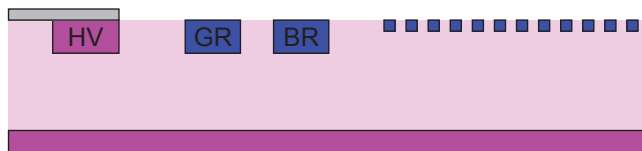
## パリレンN

このポリマーの基本となるパリレンNは完全な直鎖構造をもつ非常に結晶性の高い物質で、高い絶縁耐力を有し、周波数に関係なく低い誘電損失特性をもっています。またパリレングループの中でパリレンHTに次いで高い隙間浸透力があります。



常温(真空環境)で、蒸着可能。  
但し、部分的に、蒸着が簡単でない。

## n-on-n vs p-on-n



### p-on-n

Edgeの電圧は、高電圧  
片面プロセスでOK⇒安価

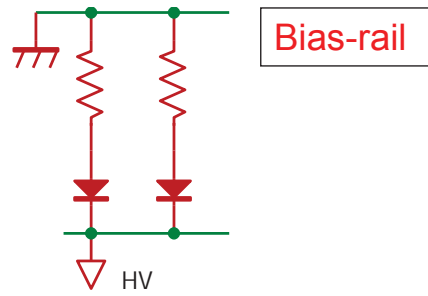
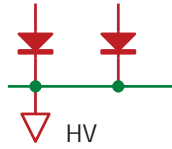


### n-on-n

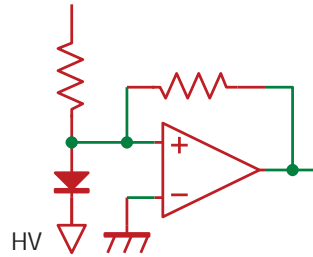
Edgeの電圧は、~0V  
両面プロセスが必要⇒高価  
現行のpixelで採用  
初めは、全空乏化が必要  
型反転後は、部分空乏化でOK

# バイアス構造下での検出効率低下問題

初期検査のため  
センサーにHVを  
印加するには？

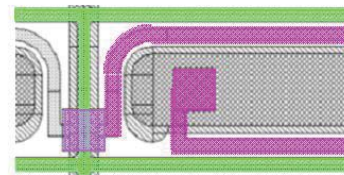
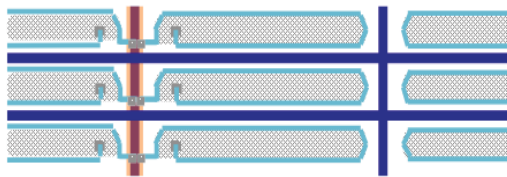


読み出し時は、  
FEを介してつながる

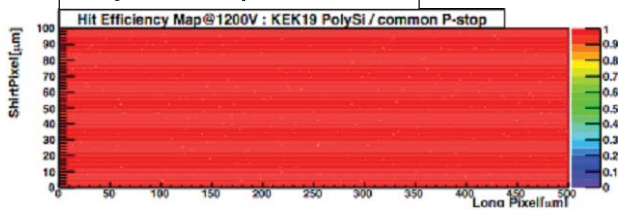


## Pixel design improvement

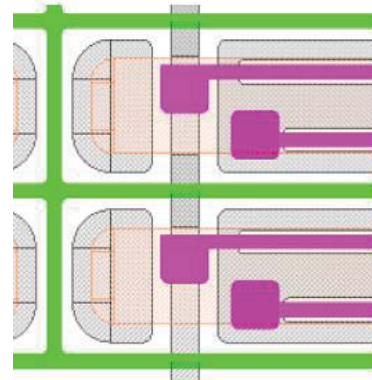
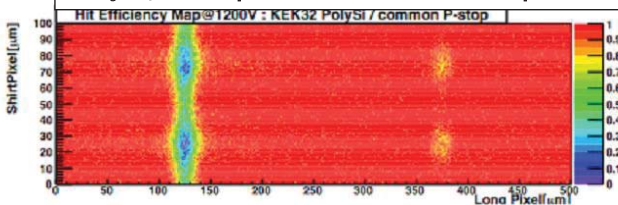
PolySi, P-stop



PolySi, P-stop (non-irrad.)

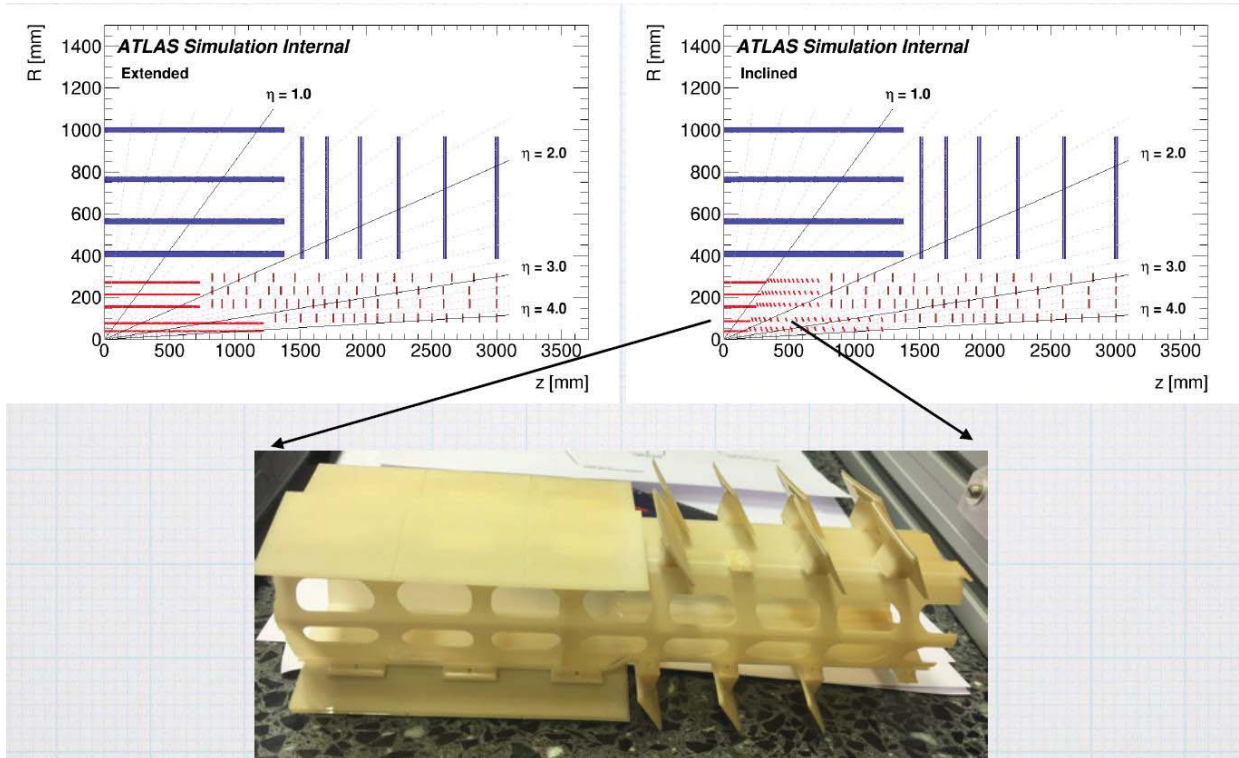


PolySi, P-stop (after  $10^{16}$  1MeV-neq $\cdot$ cm $^{-2}$ )



50 x 250um では、解決した。  
50 x 50um ではどうか??

# Pixel Layout

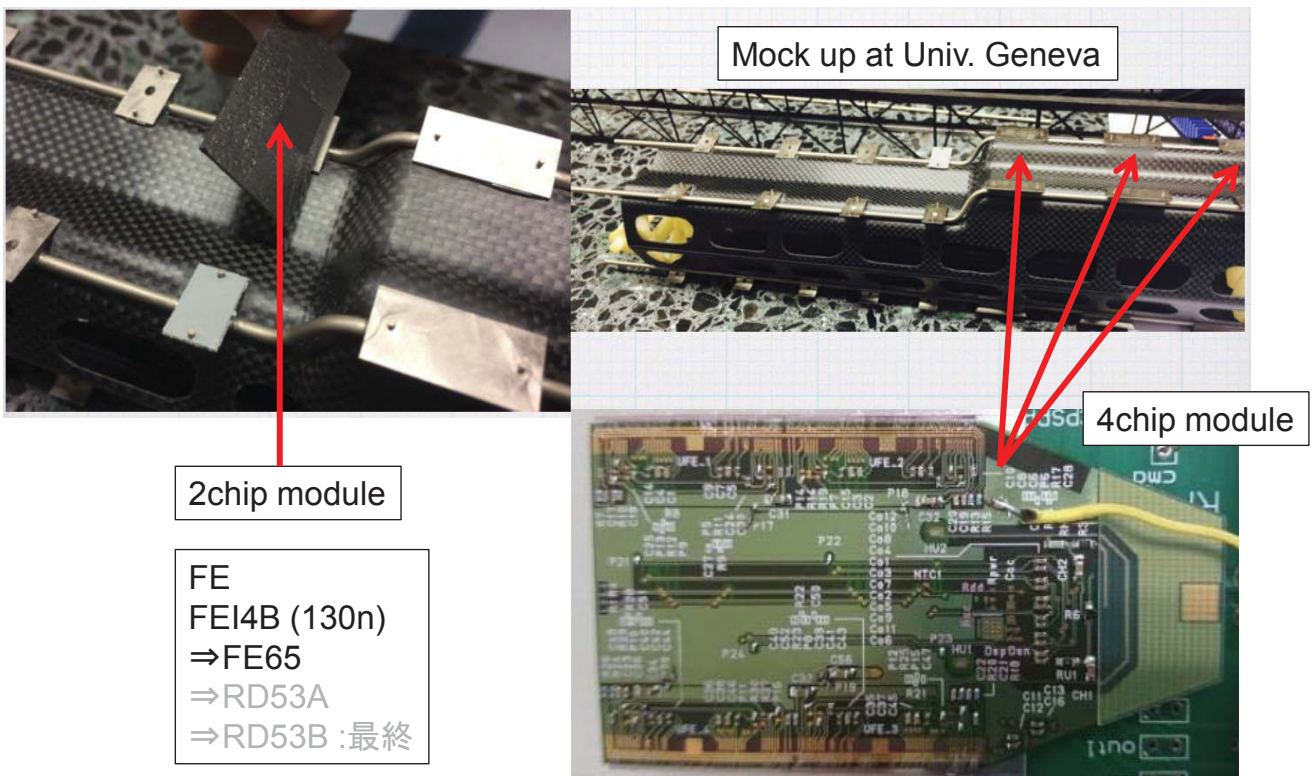


2017/01/24

第3回 CiRfSEワークショップ

15

# Pixel module & Layout



2017/01/24

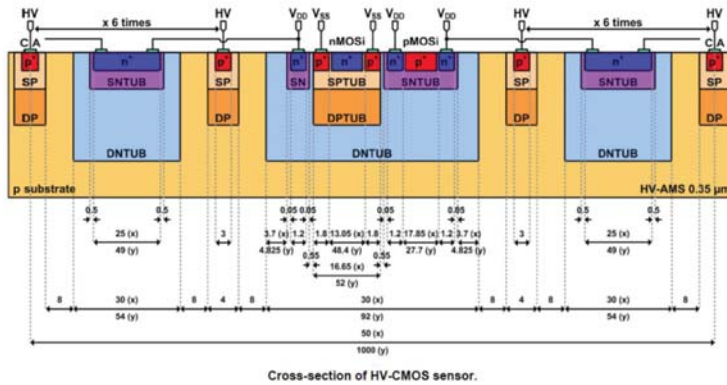
第3回 CiRfSEワークショップ

16



# 新しい試み (monolithic CMOS)

## H35 Cross-section



process rule

HVCOS	350nm
Lapis FD SOI	200nm
	150nm
XFAB PD SOI	180nm
FEI4 (50ux250u)	130nm
next FE (50ux50u)	65nm
CPU (Fin FET)	14nm
	⇒10 or 7nm

Bump bonding less

◎ low mass

○ low cost ???

△ 最新のプロセスは使えない

⇒ 精細化+高機能は両立は難しい

精細化⇒FPIX (Lapis/200u)

150u layout は無い

△ 大きなセンサー(>2cm角)は難しい

2017/01/24

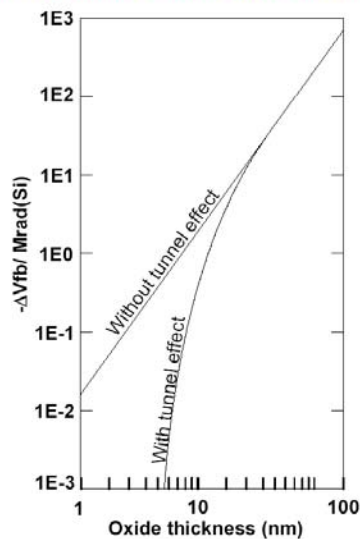
第3回 CiRfSEワークショップ

17

## MOS damage at gate

3A1 - TOTAL DOSE EFFECTS - MOS Transistors - Continued

$\Delta V_t$  depends on the gate oxide thickness.



Trapped holes leave **very thin** oxides by tunnel effect

⇒ **Very deep submicron CMOS technologies (gate thickness ~ 0.25 μm) have very small  $\Delta V_t$ .**

However: standard deep submicron CMOS technologies are not radiation-hard technologies. A **special design is required** to get radiation hardness properties.

Martin DENTAN / EFDA JET CSU / March 23, 2006 / Radiation Effects on Electronic Components and circuits, part 1 of 2 / p. 43 of 75

2017/01/24

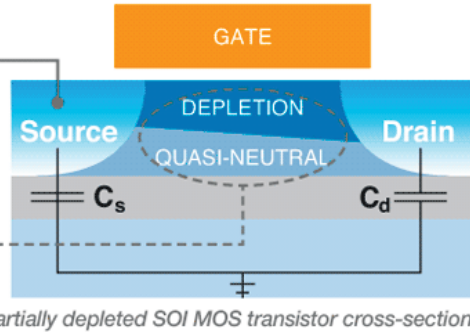
第3回 CiRfSEワークショップ

18

# Fully Depleted (FD) / Partially Depleted (PD) SOI

The top silicon layer is typically between 50 and 90 nm thick, depending on the design

Silicon under the channel is partially depleted of mobile charge carriers. Avalanche ionization at the drain can lead to charges accumulating in the quasi-neutral region ("floating body effect")

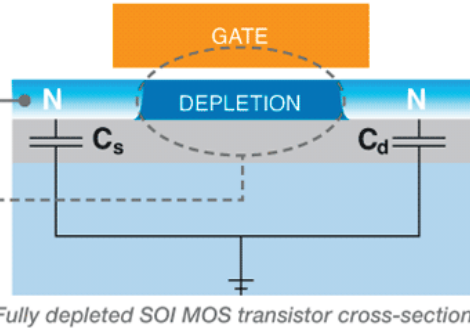


PD (=bulk CMOS)

← Radiation damage  
No back gate effect  
Naturally rad-hard

The top silicon layer is between 5 and 20nm thick, typically 1/4 of the gate length

Silicon under the gate is so thin that it is fully depleted of mobile charges. There is no floating body effect.



FD

← Radiation damage  
Thick BOX  
⇒ Double SOI  
+ 電圧補正  
Low capacitance  
⇒ Low power  
High speed

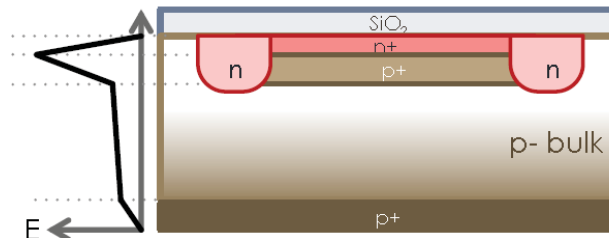
## 新しい試み (LGAD)

ゲイン付きのセンサー

LGAD

Low Gain Avalanche Detectors

Linear Gain Avalanche Detectors



実用例:

急峻な立ち上がり特性

⇒ 時間分解能を上げる<50ps

## まとめ

- ・ 新型P型シリコンセンサーに必要となるのチャンネル間分離構造等の最適化を行い、HL-LHC計画に於ける、ATLAS実験のストリップ領域で動作可能なセンサーを完成することが出来た。
- ・ さらなる高度放射線耐性が要求されるシリコンピクセル位置検出器の研究開発を継続している。
- ・ 新たな開発項目として、LGADの基礎研究を開始した。